

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2003-078117**

(43)Date of publication of application : **14.03.2003**

(51)Int.Cl. **H01L 27/12**

H01L 21/02

H01L 21/20

H01L 21/336

H01L 21/762

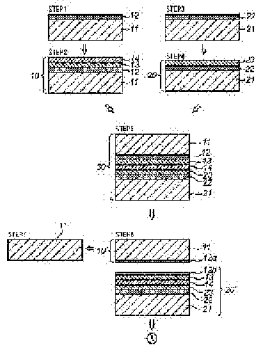
H01L 29/786

(21)Application number : **2001-** (71)Applicant : **CANON INC**

264673

(22)Date of filing : **31.08.2001** (72)Inventor : **SATO NOBUHIKO**

(54) **SEMICONDUCTOR MEMBER, SEMICONDUCTOR DEVICE AND
METHOD OF MANUFACTURING THEM**



(57)Abstract:

PROBLEM TO BE SOLVED: To provide a suitable technique for manufacturing a semiconductor member of optional thickness (especially, a thin semiconductor member) which is equipped with a semiconductor layer where a circuit element is formed on an insulating layer.

SOLUTION: A first board 10 which is equipped with a single crystal Si layer 13 and an insulating layer 14 which are formed as transfer layers on a porous layer 12 that serves as a transfer isolating layer and a second board 20 equipped with a single crystal Si layer 23 which is formed on a porous layer 22 serving as a transfer isolating layer are bonded together into a bonded member 30, thereafter the bonded member 30 is separated into two parts at the porous layer 12 for the formation of a semiconductor member 20'. A circuit element is formed on the single crystal Si layer 13 of the semiconductor member 20', and then the single crystal Si layer 13 with the circuit element is separated off the semiconductor member 20' at the porous layer 22 so as to be thin.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

**JPO and NCIP are not responsible for any
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semi-conductor member making process which produces the semi-conductor member which is the manufacture approach of a semiconductor device, has a component layer for forming a circuit element on a front face, has an insulating layer inside, and has the separation section for thinning in the inside of said insulating layer, or a location deeper than said insulating layer, The manufacture approach of the semiconductor device characterized by including the thinning process which thins said semi-conductor member by separating said semi-conductor member in which the circuit element was formed in said separation section for thinning.

[Claim 2] Said semi-conductor member making process is the manufacture

approach of the semiconductor device according to claim 1 characterized by including the joint process which is made to combine the 1st member which has said component layer and the layer which should be carried out, and the 2nd member, and forms bond part material, and the removal process which said a part of 1st member is removed [process] from said bond part material, and makes said component layer and the layer which should be carried out express.

[Claim 3] Said semi-conductor member making process is the manufacture approach of the semiconductor device according to claim 2 characterized by including further the separation section formation process which forms said separation section for thinning beforehand in said 2nd member before making it combine with said 1st member.

[Claim 4] The manufacture approach of the semiconductor device according to claim 3 characterized by forming beforehand the porous layer used as said separation section for thinning in said 2nd member before making it combine with said 1st member in said separation section formation process.

[Claim 5] The manufacture approach of the semiconductor device according to claim 3 characterized by forming beforehand the heteroepitaxial growth layer used as said separation section for thinning in said 2nd member before making it combine with said 1st member in said separation section formation process.

[Claim 6] The manufacture approach of the semiconductor device according to claim 3 characterized by forming beforehand the high concentration dope layer used as said separation section for thinning in said 2nd member before making it combine with said 1st member in said separation section formation process.

[Claim 7] Said separation section for thinning is the manufacture approach of the semiconductor device according to claim 2 characterized by including the joint interface of said 1st member and said 2nd member.

[Claim 8] Said semi-conductor member making process is the manufacture approach of the semiconductor device according to claim 2 characterized by including further the separation section formation process which forms said separation section for thinning after said removal process at said bond part

material.

[Claim 9] The manufacture approach of the semiconductor device according to claim 8 characterized by forming said separation section for thinning by pouring ion into said bond part material in said separation section formation process.

[Claim 10] The manufacture approach of a semiconductor device given in any 1 term of claim 2 characterized by separating said bond part material at said removal process in the separation section for a move currently beforehand formed in said 1st member thru/or claim 9.

[Claim 11] Said separation section for a move is the manufacture approach of the semiconductor device according to claim 10 characterized by including a porous layer.

[Claim 12] Said separation section for a move is the manufacture approach of the semiconductor device according to claim 10 characterized by including an ion-implantation layer.

[Claim 13] By combining said the 1st member and said 2nd member, forming bond part material in said semi-conductor member making process, and separating said bond part material in the porous layer as the separation section for a move currently beforehand formed in said 1st member after that The manufacture approach of the semiconductor device according to claim 1 which produces said semi-conductor member and is characterized by separating said semi-conductor member by the porous layer as said separation section for thinning at said thinning process.

[Claim 14] In said semi-conductor member making process, combine said the 1st member and said 2nd member, and bond part material is formed. Said semi-conductor member is produced by separating said bond part material in the ion-implantation layer as the separation section for a move currently beforehand formed in said 1st member. Then, at said thinning process The manufacture approach of the semiconductor device according to claim 1 characterized by separating said semi-conductor member in the porous layer as the separation section for thinning.

[Claim 15] By combining said the 1st member and said 2nd member, forming bond part material in said semi-conductor member making process, and separating said bond part material in the porous layer as the separation section for a move currently beforehand formed in said 1st member after that The manufacture approach of the semiconductor device according to claim 1 which forms said semi-conductor member and is characterized by separating said semi-conductor member in the heteroepitaxial growth layer as said separation section for thinning at said thinning process.

[Claim 16] In said semi-conductor member making process, combine said the 1st member and said 2nd member, and bond part material is formed. Said semi-conductor member is formed by separating said bond part material in the ion-implantation layer as the separation section for a move currently beforehand formed in said 1st member. Then, at said thinning process The manufacture approach of the semiconductor device according to claim 1 characterized by separating said semi-conductor member in the heteroepitaxial growth layer as said separation section for thinning.

[Claim 17] In said semi-conductor member making process, combine said the 1st member and said 2nd member, and bond part material is formed. Then, by separating said bond part material in the heteroepitaxial growth layer as the separation section for a move currently beforehand formed in said 1st member The manufacture approach of the semiconductor device according to claim 1 which forms said semi-conductor member and is characterized by separating said semi-conductor member in the heteroepitaxial growth layer as said separation section for thinning at said thinning process.

[Claim 18] In said semi-conductor member making process, combine said the 1st member and said 2nd member, and bond part material is formed. Said semi-conductor member is formed by separating said bond part material in the ion-implantation layer as the separation section for a move currently beforehand formed in said 1st member. Then, at said thinning process The manufacture approach of the semiconductor device according to claim 1 characterized by

separating said semi-conductor member by the joint interface of said 1st member and said 2nd member as said separation section for thinning.

[Claim 19] By combining said the 1st member and said 2nd member, forming bond part material in said semi-conductor member making process, and separating said bond part material in the porous layer as the separation section for a move currently beforehand formed in said 1st member after that The manufacture approach of the semiconductor device according to claim 1 which forms said semi-conductor member and is characterized by separating said semi-conductor member in the high concentration dope layer as said separation section for thinning at said thinning process.

[Claim 20] In said semi-conductor member making process, combine said the 1st member and said 2nd member, and bond part material is formed. Said semi-conductor member is formed by separating said bond part material in the ion-implantation layer as the separation section for a move currently beforehand formed in said 1st member. Then, at said thinning process The manufacture approach of the semiconductor device according to claim 1 characterized by separating said semi-conductor member in the ion-implantation layer as said separation section for thinning.

[Claim 21] The manufacture approach of the semiconductor device according to claim 20 characterized by forming the ion-implantation layer as said separation section for thinning after separation of said bond part material in said semi-conductor member making process.

[Claim 22] The manufacture approach of the semiconductor device according to claim 1 which forms the semi-conductor member formed in said semi-conductor member making process when said insulating layer injected oxygen ion into said 1st member, and is characterized by separating said semi-conductor member in the ion-implantation layer as said separation section for thinning at said thinning process.

[Claim 23] The manufacture approach of the semiconductor device according to claim 22 characterized by forming the hydrogen ion impregnation layer as said

separation section for thinning after separation of said bond part material in said semi-conductor member making process.

[Claim 24] By combining the 1st member which has said component layer and the layer which should be carried out in said semi-conductor member making process, and the 2nd member, carrying out bond part material, and removing said a part of 1st member from said bond part material by grinding after that The manufacture approach of the semiconductor device according to claim 1 by which produces said semi-conductor member and it is separating-said semi-conductor member characterized at said thinning process in said the 1st member and 2nd interface as said separation section for thinning.

[Claim 25] By combining said the 1st member and said 2nd member, forming bond part material in said semi-conductor member making process, and separating said bond part material in the separation section for a move currently beforehand formed in said 1st member after that It is the manufacture approach of the semiconductor device according to claim 1 characterized by forming said semi-conductor member, separating a semi-conductor member in said separation section for thinning at said thinning process, and the periphery section of said separation section for thinning having reinforcement stronger than the periphery section of said separation section for a move.

[Claim 26] The 1st member which is the manufacture approach of a semi-conductor member and has a component layer for forming a circuit element, Said a part of 1st member is removed from said bond part material so that said component layer may express it as the joint process which is made to combine the 2nd member which has the separation section, and forms bond part material. By this The removal process used as the semi-conductor member which has said component layer for said bond part material on a front face, has an insulating layer inside, and has said separation section in the inside of said insulating layer, or a location deeper than said insulating layer, An implication and said separation section are the manufacture approach of the semi-conductor member characterized by being used in order to separate said semi-conductor member

after a circuit element is formed in said component layer of said semi-conductor member.

[Claim 27] Said separation section is the manufacture approach of the semi-conductor member according to claim 26 characterized by including a porous layer.

[Claim 28] Said separation section is the manufacture approach of the semi-conductor member according to claim 26 characterized by including a heteroepitaxial growth layer.

[Claim 29] Said separation section is the manufacture approach of the semi-conductor member according to claim 26 characterized by including a high concentration dope layer.

[Claim 30] Said separation section is the manufacture approach of the semi-conductor member according to claim 26 characterized by including a porous layer including the process which separates said bond part material in the porous layer by which said removal process is beforehand formed in said 1st member.

[Claim 31] Said separation section is the manufacture approach of the semi-conductor member according to claim 26 characterized by including a porous layer including the process which separates said bond part material in the ion-implantation layer by which said removal process is beforehand formed in said 1st member.

[Claim 32] Said separation section is the manufacture approach of the semi-conductor member according to claim 26 characterized by including a heteroepitaxial growth layer including the process which separates said bond part material in the porous layer by which said removal process is beforehand formed in said 1st member.

[Claim 33] Said separation section is the manufacture approach of the semi-conductor member according to claim 26 characterized by including a heteroepitaxial growth layer including the process which separates said bond part material in the ion-implantation layer by which said removal process is beforehand formed in said 1st member.

[Claim 34] Said separation section is the manufacture approach of the semi-conductor member according to claim 26 characterized by including a heteroepitaxial growth layer including the process which separates said bond part material in the heteroepitaxial growth layer by which said removal process is beforehand formed in said 1st member.

[Claim 35] Said separation section is the manufacture approach of the semi-conductor member according to claim 26 characterized by including a high concentration dope layer including the process which separates said bond part material in the porous layer by which said removal process is beforehand formed in said 1st member.

[Claim 36] Said separation section is the manufacture approach of the semi-conductor member according to claim 26 characterized by including an ion-implantation layer including the process which separates said bond part material in the ion-implantation layer by which said removal process is beforehand formed in said 1st member.

[Claim 37] The periphery section of said separation section is the manufacture approach of the semi-conductor member according to claim 26 characterized by reinforcement being stronger than the periphery section of said brittle structured division including the process which separates said bond part material in the brittle structured division in which said 1st member has said removal process.

[Claim 38] The 1st member which is the manufacture approach of a semi-conductor member and has a component layer for forming a circuit element, Said a part of 1st member is removed from said joint material so that said component layer may express it as the junction process which joins the 2nd member and forms joint material. By this The removal process used as the semi-conductor member which has said component layer for said joint material on a front face, and has an insulating layer inside, The separation section formation process which forms the separation section in the inside of said insulating layer of said semi-conductor member pass said removal process, or a location deeper than said insulating layer is included. Said separation section The manufacture

approach of the semi-conductor member characterized by being used in order to separate said semi-conductor member after a circuit element is formed in said component layer of said semi-conductor member.

[Claim 39] Said separation section is the manufacture approach of the semi-conductor member according to claim 38 characterized by including an ion-implantation layer.

[Claim 40] Said removal process is the manufacture approach of the semi-conductor member according to claim 39 characterized by including the process which separates said joint material in the ion-implantation layer currently beforehand formed in said 1st member.

[Claim 41] The manufacture approach of the semi-conductor member characterized by to be included the preparation process for which the semi-conductor member which is the manufacture approach of a semi-conductor member, has the insulating layer formed of the oxygen ion implantation inside, and has a component layer for forming a circuit element on a surface is prepared, and the separation section formation process which form the separation section in the inside of said insulating layer, or a location deeper than said insulating layer by injecting predetermined ion into said semi-conductor member.

[Claim 42] The thinning approach of the semiconductor device characterized by thinning said semi-conductor member by separating the semi-conductor member which is the thinning approach of a semiconductor device and has an embedding insulating layer, the circuit element layer in which the circuit element was formed, and the separation section formed in the inside of said embedding insulating layer, or a location deeper than it in advance of formation of said circuit element in said separation section.

[Claim 43] The manufacture approach of the semiconductor device characterized by including the process for which the semi-conductor member which is the manufacture approach of a semiconductor device, has a component layer for forming a circuit element on a front face, has an insulating layer inside, and has the separation section for thinning in the inside of said insulating layer or a

location deeper than said insulating layer is prepared, and the process which forms a circuit element in said semi-conductor member.

[Claim 44] The manufacture approach of the semiconductor device characterized by including the process which forms a component isolation region and an active region in the semi-conductor member which is the manufacture approach of a semiconductor device, has a component layer for forming a circuit element on a front face, has an insulating layer inside, and has the separation section for thinning in the inside of said insulating layer, or a location deeper than said insulating layer, and the process which forms a transistor in said active region.

[Claim 45] The manufacture approach of the semiconductor device according to claim 1 characterized by reusing said semi-conductor member of separated another side as a semi-conductor member for said circuit element formation.

[Claim 46] The manufacture approach of the semi-conductor member according to claim 26 or 38 characterized by reusing said semi-conductor member of separated another side as said 1st or 2nd member.

[Claim 47] It is the semi-conductor member characterized by said member having the separation section for thinning caudad from said insulating front face in the semi-conductor member which has the member which has an insulating front face, and a component layer for forming the circuit element formed on the insulating front face of this member.

[Claim 48] The semi-conductor member characterized by being formed in any 1 term of claim 26 thru/or claim 41 by the manufacture approach of a publication, and getting.

[Claim 49] It is the semiconductor device characterized by said member having the separation section for thinning caudad from said insulating front face in the semiconductor device which has the member which has an insulating front face, and the circuit element layer formed on the insulating front face of this member.

[Claim 50] The semiconductor device characterized by being formed in any 1 term of claim 1 thru/or claim 25 by the manufacture approach of a publication, and getting.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to those manufacture approaches and the manufacture approach of a semiconductor device at a semi-conductor member and a semiconductor device list.

[0002]

[Description of the Prior Art] As a substrate which has a single crystal Si layer on an insulating layer, the substrate (SOI substrate) which has SOI (silicon oninsulator) structure is known. The device which adopted this SOI substrate has many dominance points which cannot reach in the usual Si substrate. As this dominance point, the following are mentioned, for example.

- (1) Dielectric separation is easy and suitable for high integration.
- (2) Excel in radiation resistance.
- (3) Stray capacity is small and improvement in the speed of the working speed of a component is possible.
- (4) A well process is unnecessary.
- (5) A latch rise can be prevented.

(6) Formation of the perfect depletion mode field-effect transistor by thin-film-izing is possible.

[0003] Since SOI structure has above various dominance points, research on the formation approach is advanced for here dozens years.

[0004] These people indicated a new SOI technique in JP,5-21338,A. This technique moves a nonvesicular single crystal layer to the 2nd substrate by dividing a lamination substrate into the 2nd substrate for the 1st substrate which formed the porous layer in the single crystal Si substrate, and formed the nonvesicular layer single crystal layer on it by the porous layer lamination and after that through an insulating layer at two sheets. This technique is excellent in respect of the ability to manufacture [that the thickness homogeneity of a SOI layer is excellent, that the crystal defect consistency of a SOI layer can be reduced, that the surface surface smoothness of a SOI layer is good, that the manufacturing installation of an expensive special specification is unnecessary,] the SOI substrate which has the SOI film of the range which is several 100Å - about 10 micrometers by the same manufacturing installation.

[0005] Furthermore, in JP,7-302889,A, these people dissociated from the 2nd substrate, without destroying the 1st substrate, after sticking the 1st substrate and 2nd substrate, after that, they graduated the front face of the 1st separated substrate, formed the porous layer again, and indicated the technique which reuses this. Since the 1st substrate can be used for this technique without futility, it can reduce a manufacturing cost sharply and has the outstanding advantage that a production process is also simple.

[0006] On the other hand, thin semi-conductor products, such as an IC card having a semiconductor chip, are spreading. Since a thin semi-conductor product is put into a pocket, a wallet, etc. and it is carried in many cases, the semiconductor chip built in is asked for considerable flexibility. The optimal solution for acquiring such flexibility is thinning a semiconductor chip.

[0007] Thinning of a semiconductor chip is useful also in order to produce a three-dimensions stacked package. In a three-dimensions stacked package, a

processor chip, a memory chip, etc. carry out a laminating, and are loaded together. Therefore, thinning of a chip is important, in order to make package thickness thin, or in order to carry out the laminating of much chips and to load them together in the package of given thickness.

[0008] A thin wafer is prepared as an approach of manufacturing a thin semiconductor chip, and there are an approach of forming a circuit element on it and the approach of thinning a wafer, after preparing a comparatively thick wafer and forming a circuit element on it. Here, since it is easy to damage in the device process for forming a circuit element, a thin wafer is difficult handling. This problem is further actualized with diameter[of macrostomia]-izing of a wafer. Therefore, the latter approach is more useful than the former approach, and, generally a thin semiconductor chip is obtained by carrying out grinding of the rear face of a wafer in which the circuit element was formed. There are an approach of performing dicing before thinning of a wafer here, and a method of performing dicing after thinning of a wafer.

[0009] Moreover, other methods of manufacturing a thin semiconductor chip are indicated by JP,9-312349,A. By this approach, a porous layer is formed in the front face of a semi-conductor substrate, the semi-conductor film is formed on it, a circuit element is formed in that semi-conductor film, and the semi-conductor film with which the circuit element was formed is exfoliated from a semi-conductor base after that.

[0010]

[Problem(s) to be Solved by the Invention] The demand of thinning of a substrate or a semiconductor chip is turned also to the above-mentioned SOI substrate or the semiconductor chip using it. However, although above-mentioned JP,9-312349,A is indicating about the approach of obtaining the thin semi-conductor film with which the circuit element was formed, it is not indicating about the approach of obtaining the thin substrate or thin chip with which the circuit element was formed on the embedding insulating layer.

[0011] This invention is made in view of the above-mentioned background, and it

aims at offering a suitable technique in order to manufacture the semi-conductor member (especially thin semi-conductor member) of the thickness of the arbitration which has the semi-conductor layer in which the circuit element was formed on an insulating layer.

[0012] Said member is in the semi-conductor member which has a component layer for another purpose of this invention to form the member which has an insulating front face, and the circuit element formed on the insulating front face of this member to offer the semi-conductor member characterized by having the separation section for thinning caudad from said insulating front face.

[0013] Furthermore, said member is in the semiconductor device which has the member in which the purpose of another this invention has an insulating front face, and the circuit element layer formed on the insulating front face of this member to offer the semiconductor device characterized by having the separation section for thinning caudad from said insulating front face.

[0014]

[Means for Solving the Problem] The 1st side face of this invention starts the manufacture approach of a semiconductor device, and it has a component layer for forming a circuit element on a front face. The semi-conductor member making process which produces the semi-conductor member which has an insulating layer inside and has the separation section for thinning in the inside of said insulating layer, or a location deeper than said insulating layer, It is characterized by including the thinning process which thins said semi-conductor member by separating said semi-conductor member in which the circuit element was formed in said separation section for thinning.

[0015] According to the gestalt of suitable operation of this invention, in the manufacture approach concerning the 1st side face of this invention said semi-conductor member making process It is desirable to include the joint process which is made to combine the 1st member which has said component layer and the layer which should be carried out, and the 2nd member, and forms bond part material, and the removal process which said a part of 1st member is removed

[process] from said bond part material, and makes said component layer and the layer which should be carried out express.

[0016] Here, as for said semi-conductor member making process, it is desirable that the separation section formation process which forms said separation section for thinning beforehand is further included in said 2nd member before making it combine with said 1st member. According to the gestalt of suitable operation of this invention, it is desirable to form beforehand the porous layer which becomes said 2nd member before making it combine with said 1st member with said separation section for thinning in said separation section formation process. Or it is desirable to form beforehand the heteroepitaxial growth layer which becomes said 2nd member before making it combine with said 1st member with said separation section for thinning in said separation section formation process. Or it is desirable to form beforehand the high concentration dope layer which becomes said 2nd member before making it combine with said 1st member with said separation section for thinning in said separation section formation process. According to the gestalt of suitable operation of this invention, said separation section for thinning may be the joint interface of said 1st member and said 2nd member.

[0017] Or as for said semi-conductor member making process, according to the gestalt of suitable operation of this invention, it is also desirable that the separation section formation process which forms said separation section for thinning after said removal process at said bond part material is included further. It is desirable to form said separation section for thinning by pouring ion into said bond part material with said separation section formation process here.

[0018] According to the gestalt of suitable operation of this invention, it is desirable to separate said bond part material at said removal process in the separation section for a move currently beforehand formed in said 1st member. Here, as for things, it is [said separation section for a move] desirable that a porous layer or an ion-implantation layer is included.

[0019] According to the gestalt of suitable operation of this invention, in said

semi-conductor member making process By combining said the 1st member and said 2nd member, forming bond part material, and separating said bond part material in the porous layer as the separation section for a move currently beforehand formed in said 1st member after that It is desirable to produce said semi-conductor member and to separate said semi-conductor member by the porous layer as said separation section for thinning at said thinning process.

[0020] According to the gestalt of suitable operation of this invention, or in said semi-conductor member making process By combining said the 1st member and said 2nd member, forming bond part material, and separating said bond part material in the ion-implantation layer as the separation section for a move currently beforehand formed in said 1st member after that It is desirable to produce said semi-conductor member and to separate said semi-conductor member in the porous layer as the separation section for thinning at said thinning process.

[0021] According to the gestalt of suitable operation of this invention, or in said semi-conductor member making process By combining said the 1st member and said 2nd member, forming bond part material, and separating said bond part material in the porous layer as the separation section for a move currently beforehand formed in said 1st member after that It is desirable to form said semi-conductor member and to separate said semi-conductor member in the heteroepitaxial growth layer as said separation section for thinning at said thinning process.

[0022] According to the gestalt of suitable operation of this invention, or in said semi-conductor member making process By combining said the 1st member and said 2nd member, forming bond part material, and separating said bond part material in the ion-implantation layer as the separation section for a move currently beforehand formed in said 1st member after that It is desirable to form said semi-conductor member and to separate said semi-conductor member in the heteroepitaxial growth layer as said separation section for thinning at said thinning process.

[0023] According to the gestalt of suitable operation of this invention, or in said semi-conductor member making process By combining said the 1st member and said 2nd member, forming bond part material, and separating said bond part material in the heteroepitaxial growth layer as the separation section for a move currently beforehand formed in said 1st member after that It is desirable to form said semi-conductor member and to separate said semi-conductor member in the heteroepitaxial growth layer as said separation section for thinning at said thinning process.

[0024] According to the gestalt of suitable operation of this invention, or in said semi-conductor member making process By combining said the 1st member and said 2nd member, forming bond part material, and separating said bond part material in the ion-implantation layer as the separation section for a move currently beforehand formed in said 1st member after that It is desirable to form said semi-conductor member and to separate said semi-conductor member at said thinning process according to the joint interface of said 1st member and said 2nd member as said separation section for thinning.

[0025] According to the gestalt of suitable operation of this invention, or in said semi-conductor member making process By combining said the 1st member and said 2nd member, forming bond part material, and separating said bond part material in the porous layer as the separation section for a move currently beforehand formed in said 1st member after that It is desirable to form said semi-conductor member and to separate said semi-conductor member at said thinning process in the high concentration dope layer as said separation section for thinning.

[0026] According to the gestalt of suitable operation of this invention, or in said semi-conductor member making process By combining said the 1st member and said 2nd member, forming bond part material, and separating said bond part material in the ion-implantation layer as the separation section for a move currently beforehand formed in said 1st member after that It is desirable to form said semi-conductor member and to separate said semi-conductor member in

the ion-implantation layer as said separation section for thinning at said thinning process. Here, it is desirable to form the hydrogen ion impregnation layer as said separation section for thinning after separation of said bond part material in said semi-conductor member making process.

[0027] Or according to the gestalt of suitable operation of this invention, it is desirable to form the semi-conductor member formed in said semi-conductor member making process when said insulating layer injected oxygen ion into said 1st member, and to separate said semi-conductor member in the ion-implantation layer as said separation section for thinning at said thinning process. Here, it is desirable to form the ion-implantation layer as said separation section for thinning after separation of said bond part material in said semi-conductor member making process.

[0028] According to the gestalt of suitable operation of this invention, or in said semi-conductor member making process By combining the 1st member which has said component layer and the layer which should be carried out, and the 2nd member, carrying out bond part material, and removing said a part of 1st member from said bond part material by grinding after that It is desirable to produce said semi-conductor member and to separate said semi-conductor member at said thinning process in said the 1st member and 2nd interface as said separation section for thinning.

[0029] According to the gestalt of suitable operation of this invention, or in said semi-conductor member making process By combining said the 1st member and said 2nd member, forming bond part material, and separating said bond part material in the separation section for a move currently beforehand formed in said 1st member after that Said semi-conductor member is formed, a semi-conductor member is separated in said separation section for thinning at said thinning process, and, as for the periphery section of said separation section for thinning, it is desirable that reinforcement is stronger than the periphery section of said separation section for a move.

[0030] The 1st member which has a component layer for the 2nd side face of this

invention starting the manufacture approach of a semi-conductor member, and forming a circuit element, Said a part of 1st member is removed from said bond part material so that said component layer may express it as the joint process which is made to combine the 2nd member which has the separation section, and forms bond part material. By this The removal process used as the semi-conductor member which has said component layer for said bond part material on a front face, has an insulating layer inside, and has said separation section in the inside of said insulating layer or a location deeper than said insulating layer is included. Said separation section is characterized by being used in order to separate said semi-conductor member after a circuit element is formed in said component layer of said semi-conductor member.

[0031] As for said separation section, according to the gestalt of suitable operation of this invention, in the manufacture approach concerning the 2nd side face of this invention, it is desirable that a porous layer is included.

[0032] Or as for said separation section, according to the gestalt of suitable operation of this invention, it is desirable that a heteroepitaxial growth layer is included.

[0033] Or as for said separation section, according to the gestalt of suitable operation of this invention, it is desirable that a high concentration dope layer is included.

[0034] Or according to the gestalt of suitable operation of this invention, it is desirable that said separation section contains a porous layer including the process which separates said bond part material in the porous layer by which said removal process is beforehand formed in said 1st member.

[0035] Or according to the gestalt of suitable operation of this invention, it is desirable that said separation section contains a porous layer including the process which separates said bond part material in the ion-implantation layer by which said removal process is beforehand formed in said 1st member.

[0036] Or according to the gestalt of suitable operation of this invention, it is desirable that said separation section contains a heteroepitaxial growth layer

including the process which separates said bond part material in the porous layer by which said removal process is beforehand formed in said 1st member.

[0037] Or according to the gestalt of suitable operation of this invention, it is desirable that said separation section contains a heteroepitaxial growth layer including the process which separates said bond part material in the ion-implantation layer by which said removal process is beforehand formed in said 1st member.

[0038] Or according to the gestalt of suitable operation of this invention, it is desirable that said separation section contains a heteroepitaxial growth layer including the process which separates said bond part material in the heteroepitaxial growth layer by which said removal process is beforehand formed in said 1st member.

[0039] Or according to the gestalt of suitable operation of this invention, it is desirable that said separation section contains a high concentration dope layer including the process which separates said bond part material in the porous layer by which said removal process is beforehand formed in said 1st member.

[0040] Or according to the gestalt of suitable operation of this invention, it is desirable that said separation section contains an ion-implantation layer including the process which separates said bond part material in the ion-implantation layer by which said removal process is beforehand formed in said 1st member.

[0041] Or according to the gestalt of suitable operation of this invention, it is desirable that the periphery section of said separation section has reinforcement stronger than the periphery section of said brittle structured division including the process which separates said bond part material in the brittle structured division in which said 1st member has said removal process.

[0042] The 1st member which has a component layer for the 3rd side face of this invention starting the manufacture approach of a semi-conductor member, and forming a circuit element, Said a part of 1st member is removed from said joint material so that said component layer may express it as the junction process which joins the 2nd member and forms joint material. By this The removal

process used as the semi-conductor member which has said component layer for said joint material on a front face, and has an insulating layer inside, The separation section formation process which forms the separation section in the inside of said insulating layer of said semi-conductor member pass said removal process, or a location deeper than said insulating layer is included. Said separation section It is characterized by being used in order to separate said semi-conductor member after a circuit element is formed in said component layer of said semi-conductor member.

[0043] As for said separation section, according to the gestalt of suitable operation of this invention, in the 3rd side face of this invention, it is desirable that an ion-implantation layer is included. Here, as for said removal process, it is desirable to include the process which separates said joint material in the ion-implantation layer currently beforehand formed in said 1st member.

[0044] The 4th side face of this invention is characterized by to be included the preparation process for which the semi-conductor member which starts the manufacture approach of a semi-conductor member , has the insulating layer formed of the oxygen ion implantation inside , and has a component layer for forming a circuit element on a surface is prepared , and the separation section formation process which forms the separation section in the inside of said insulating layer , or a location deeper than said insulating layer by injecting predetermined ion into said semi-conductor member .

[0045] The 5th side face of this invention is characterized by thinning said semi-conductor member by starting the thinning approach of a semiconductor device and separating the semi-conductor member which has the separation section formed in the deep location in advance of formation of said circuit element in said separation section from the inside of an embedding insulating layer, the circuit element layer in which the circuit element was formed, and said embedding insulating layer, or it.

[0046] The 6th side face of this invention is characterized by including the process for which the semi-conductor member which starts the manufacture

approach of a semiconductor device, has a component layer for forming a circuit element on a front face, has an insulating layer inside, and has the separation section for thinning in the inside of said insulating layer or a location deeper than said insulating layer is prepared, and the process which forms a circuit element in said semi-conductor member.

[0047] The 7th side face of this invention is characterized by including the process which forms a component isolation region and an active region in the semi-conductor member which starts the manufacture approach of a semiconductor device, has a component layer for forming a circuit element on a front face, has an insulating layer inside, and has the separation section for thinning in the inside of said insulating layer, or a location deeper than said insulating layer, and the process which forms a transistor in said active region.

[0048] The 8th side face of this invention starts a semiconductor device, and this semiconductor device is manufactured by the manufacture approach concerning the 1st side face of above-mentioned this invention, and it deals in it.

[0049] The 9th side face of this invention starts a semi-conductor member, and this semi-conductor member is manufactured by the manufacture approach concerning the 2nd side face of above-mentioned this invention, and it deals in it.

[0050]

[Embodiment of the Invention] Hereafter, the gestalt of suitable operation of this invention is explained.

[0051] The manufacture approach of the semiconductor device concerning the gestalt of suitable operation of this invention It has a component layer (for example, single crystal Si layer) for forming a circuit element on a front face. The semi-conductor member which embeds inside, has an insulating layer (for example, SiO two-layer), and has the separation section for thinning in the inside of this insulating layer, or a location deeper than this insulating layer (typically) The semi-conductor member making process which produces the SOI substrate which has SOI structure, the circuit element formation process which forms a circuit element in the component layer of this semi-conductor member, and the

thinning process which thins this semi-conductor member by separating the semi-conductor member in which the circuit element was formed in this separation section for thinning are included.

[0052] After combining two substrates and producing a joint substrate in a semi-conductor member making process, for example, it is desirable to produce a semi-conductor substrate by the joining-together method (lamination method) which produces the semi-conductor member which separates this joint substrate, or removes an unnecessary part among these joint substrates, and has a semi-conductor layer / insulating layer structure (for example, SOI structure). The approach of using a porous layer as a detached core for separating a joint substrate as a joining-together method, for example, and the method of using an ion-implantation layer are suitable.

[0053] Moreover, in a semi-conductor member making process, after forming the detached core for thinning on silicon on sapphire, the semi-conductor substrate which has a detached core for thinning on an insulator, and has a semi-conductor layer on it may be produced by growing up semi-conductor layers, such as a silicon layer, on it, for example.

[0054] Moreover, in a semi-conductor member making process, the separation section for thinning may be formed into this semi-conductor substrate by pouring in ion, such as hydrogen, caudad from the component layer of this member, after producing the semi-conductor member which has a semi-conductor layer / insulating layer structure (for example, SOI structure), for example by the joining-together method or the SIMOX method.

[0055] It is used, in order that the front stirrup of the formation process (device process) of a circuit element may be behind formed into a semi-conductor member and the separation section for thinning may separate a semi-conductor member after formation of a circuit element. Therefore, the separation section for thinning must bear the mechanical force from the outside added by the internal stress which originates in heat treatment in the formation process of a circuit element, and multilayer structure if needed, CMP, etc.

[0056] Moreover, a porous layer, an ion-implantation layer, a heteroepitaxial growth layer, the joint interface of two substrates, the interface of multilayer structure, etc. generate internal stress, centralize internal stress, make reinforcement brittle, or make a consistency low locally, and the separation section for thinning has just become the part into which a crack tends to go relatively. The ion-implantation layer which can especially generate a defect or a minute opening by various ion implantations, such as a porous layer, hydrogen, rare gas, etc. which are formed of anodization etc., or the thing which combined these is more desirable in respect of repeatability.

[0057] Moreover, the thing of a semi-conductor substrate for which the separation section for thinning is mostly formed in the shape of a layer over all fields is desirable.

[0058] Moreover, separation of the semi-conductor substrate using the separation section for thinning may take place by the interface with the layer which adjoins the inside of this separation section for thinning, or this separation section for thinning and it.

[0059] In producing the semi-conductor substrate which separates this bond part material in this separation section for a move, and has the separation section for thinning by the joining-together method (lamination method) after producing the bond part material which has the both sides of the separation section for a move, and the separation section for thinning In case this bond part material is separated in this separation section for a move, this bond part material adopts the approach which is not separated in this separation section for thinning. These are not decided only by the relative brittleness or relative mechanical strength of the separation section for a move, and the separation section for thinning, either, and depend at combination with the separation approach, the stage of the separation section formation on a process flow, etc.

[0060] Below, the gestalt of typical and suitable operation of this invention is as follows. However, the gestalt of operation of those other than this can also be adopted.

[0061] (1) Adopt the 1st porous layer as the separation section for a move, and a mechanical strength adopts the 2nd strong porous layer rather than this 1st porous layer as the separation section for thinning.

[0062] (2) Adopt ion-implantation layers, such as a hydrogen ion impregnation layer, as the separation section for a move, and adopt a porous layer as the separation section for thinning. The former is suitable for separation by heat treatment, and the latter is suitable for separation by impression of the mechanical force.

[0063] (3) Adopt a porous layer as the separation section for a move, and a mechanical strength adopts a strong heteroepitaxial growth layer rather than this 1st porous layer as the separation section for thinning.

[0064] (4) Adopt ion-implantation layers, such as a hydrogen ion impregnation layer, as the separation section for a move, and adopt a heteroepitaxial growth layer as the separation section for thinning. The former is suitable for separation by heat treatment, and the latter is suitable for separation by impression of the mechanical force.

[0065] (5) as the separation section for a move -- the 1st heteroepitaxial growth layer -- adopting -- as the separation section for thinning -- this -- adopt the 2nd heteroepitaxial growth layer with a mechanical strength stronger than the 1st heteroepitaxial growth layer.

[0066] (6) Adopt ion-implantation layers, such as a hydrogen ion impregnation layer, as the separation section for a move, and adopt a joint interface as the separation section for thinning. The former is suitable for separation by heat treatment, and the latter is suitable for separation by impression of the mechanical force.

[0067] (7) Adopt a porous layer as the separation section for a move, and a mechanical strength adopts a strong high concentration dope layer rather than this porous layer as the separation section for thinning.

[0068] (8) Form the separation section for thinning in a SOI substrate. For example, after adopting a porous layer and ion-implantation layers, such as a

hydrogen ion impregnation layer, and forming a semi-conductor layer / insulating layer structure (for example, SOI structure) by the joining-together method (lamination method) as the separation section for a move, ion-implantation layers, such as a hydrogen ion impregnation layer, are formed as the separation section for thinning. In this case, the separation section for a move and the separation section for thinning do not exist in process-flow top coincidence.

[0069] (9) Form ion-implantation layers, such as a hydrogen ion impregnation layer, as the separation section for thinning after forming a semi-conductor layer / insulating layer structure (for example, SOI structure) by the SIMOX method. In this case, since a semi-conductor layer / insulating layer structure (for example, SOI structure) is acquired without forming the separation for a move, naturally the separation section for a move and the separation section for thinning do not exist in coincidence.

[0070] (10) Form the semi-conductor substrate which removes an unnecessary part by grinding among this joint substrate to this 1st substrate, and has a semi-conductor layer / insulating layer structure (for example, SOI structure) after combining the 1st substrate which has a semi-conductor layer and an insulating layer, and the 2nd substrate and creating a joint substrate. The interface of the 1st substrate and the 2nd substrate is used as the separation section for thinning.

[0071] (11) Weaken the mechanical strength of the periphery section of the separation section for a move, and the separation section for thinning strengthens the mechanical strength of the periphery section. In this case, even if the separation section for a move and the separation section for thinning are intermingled, in this separation section for a move, bond part material is separated in the case of a move.

[0072] Formation of the separation section for thinning may be formed at the time of production of a semi-conductor layer / insulating layer structure (for example, SOI structure), may be formed after production of a semi-conductor layer / insulating layer structure (above-mentioned (1) - (7), (11)), and may be formed after formation of a circuit element (device) (above-mentioned (8) - (10)).

[0073] After a circuit element is formed, by separating a semi-conductor member in the separation section for thinning, the hundreds of nm - dozens of micrometers semi-conductor member of several micrometer thickness can be obtained typically, for example. Such a semi-conductor member is suitable for the application to an IC card or a three-dimension stacked package.

[0074] Such a thinning approach serves as an alternative of the rear-face grinding operation for the lamination of the circuit element generally carried out after circuit element formation, and is excellent in cost moreover.

[0075] Here, if the thickness (thickness from the separation for thinning to a semi-conductor member front face) by the side of a circuit element (device side) is thin in case the semi-conductor member in which the circuit element was formed is separated in the separation section for thinning, the mechanical strength for a circuit element flank may become inadequate. In this case, after reinforcing a part for a circuit element flank with a reinforcement member, it is desirable to separate a semi-conductor member in the separation section for thinning. As a reinforcement member, a silicon wafer, resin, a metal, etc. can be adopted, for example. Typically, a part for a circuit element flank is pasted in advance of separation, and a reinforcement member is removed, immediately after this separation or after carrying out the dicing of the semi-conductor substrate. The method of separating this semi-conductor member in the separation section for thinning is also desirable, replacing with use of such a reinforcement member and carrying out vacuum adsorption of the circuit element side of a semi-conductor member.

[0076] Hereafter, the gestalt of more concrete operation of this invention is explained.

[0077] [Gestalt of the 1st operation] drawing 1 A and drawing 1 B are drawings showing typically the manufacture approach of the semiconductor device of the gestalt operation of the 1st of this invention.

[0078] First, in STEP1, the single crystal Si substrate 11 is prepared as the 1st substrate (prime wafer or seed wafer) or member, and the porosity Si layer 12 as

a detached core is formed on the main front face. This detached core is used at the transfer process which transfers the transfer layer on it to the 2nd substrate. A transfer process includes the junction process which joins the 1st substrate and 2nd substrate and produces joint material, and the separation process which separates joint material in the detached core for a move (porosity Si layer 12). Such an approach is called the transferring method or joining-together method (lamination method). The porosity Si layer 12 can be formed by performing anode plate chemical conversion to the single crystal Si substrate 11 for example, in an electrolytic solution (formation liquid).

[0079] The solution containing the solution, hydrogen fluoride, and isopropyl alcohol which contain the solution, hydrogen fluoride, and ethanol containing hydrogen fluoride as an electrolytic solution here, for example etc. is suitable. If a more concrete example is given, as an electrolytic solution, the mixed liquor which mixed ethanol with HF water solution (HF concentration = 49wt%) by the volume ratio 2:1, for example is suitable.

[0080] Moreover, it is good also as multilayer structure which consists the porosity Si layer 12 of a layer more than two-layer [from which porosity differs mutually]. Here, as for the porosity Si layer 12 of multilayer structure, it is desirable that the 2nd porosity Si layer which has the 2nd larger porosity than the 1st porosity is included the 1st porosity Si layer which has the 1st porosity in a front-face side, and under it. While being able to form the nonvesicular layer 13 with few defects etc. on the 1st porosity Si layer in the formation process of the next nonvesicular layer 13 by adopting such multilayer structure, in a next separation process, a junction substrate is separable in a desired location. Here, as the 1st porosity, 10% - 30% is desirable, and 15% - 25% is still more desirable. Moreover, as the 2nd porosity, 35% - 70% is desirable, and 40% - 60% is still more desirable.

[0081] When using the above-mentioned mixed liquor (hydrofluoric acid:ethanol whose HF concentration is 49wt(s)% = 2:1) as an electrolytic solution, it is desirable to generate the 1st layer (front-face side) on condition that 2, the

processing time 5 - 11min the current density of 8mA/cm, and to generate the 2nd layer (interior side) subsequently on condition that current density 23 - 33 mA/cm², and processing-time 80sec - 2min.

[0082] Subsequently, it is desirable to carry out at least one process of following (1) - (4). It is desirable to carry out (1) and (2) in order here, it is still more desirable to carry out (1), (2), and (3) in order or (1), (2), and (4) in order, and it is most desirable to carry out (1), (2), (3), and (4) in order.

[0083] (1) The process which forms a protective coat in the porous wall of a porosity Si layer (Puri oxidation process)

It is not indispensable although it is effective in forming protective coats, such as an oxide film and a nitride, in the porous wall of the porosity Si layer 12, and this preventing big and rough-ization of the hole by next heat treatment at this process. A protective coat may be formed by heat-treating for example, in an oxygen ambient atmosphere (for example, 200 degrees C - 700 degrees C being desirable, and 300 degrees C - 500 degrees C being still more desirable). Then, it is desirable to remove the oxide film formed in the front face of the porosity Si layer 12. This may be carried out by exposing the front face of the porosity Si layer 12 to the solution containing hydrogen fluoride.

[0084] (2) Hydrogen baking process (PURIBE-king process)

At this process, it heat-treats to the 1st substrate 1 with which the porosity Si layer 12 was formed at 800 degrees C - 1200 degrees C into the reducing atmosphere containing hydrogen. While being able to close the hole of the front face of the porosity Si layer 12 to some extent, when the natural oxidation film exists in the front face of the porosity Si layer 12 by this heat treatment, it is not indispensable although it is removable.

[0085] (3) Minute amount feeding process (PURIINJIE cushion process)

When growing up the nonvesicular layer 13 on the porosity Si layer 12, it is desirable to grow up the nonvesicular film 13 with a low speed by the initial stage of growth by making supply of the source material of the nonvesicular layer 13 into a slight amount. By such growth approach, the migration of the atom of the

front face of the porosity Si layer 12 is promoted, and the hole of the front face of the porosity Si layer 12 can be closed. 20 or less nm/min, although a growth rate controls supply of a raw material to become 2 or less nm/min more preferably, specifically, it is not preferably indispensable 10 or less nm/min.

[0086] (4) Elevated-temperature baking process (middle baking process)

It is temperature higher than the processing temperature in an above-mentioned hydrogen baking process and/or an above-mentioned minute amount feeding process, and by heat-treating in the reducing atmosphere containing hydrogen, although the further closure and further flattening of the porosity Si layer 12 are realizable, it is not indispensable.

[0087] Subsequently, in the 1st step of STEP2, the semi-conductor layer 13 is formed on the porosity Si layer 12. As a semi-conductor layer 13, Si layers, such as a single crystal Si layer, a polycrystal Si layer, and an amorphous Si layer, germanium layer, a SiGe layer, a SiC layer, C layer, a GaAs layer, a GaN layer, an AlGaAs layer, an InGaAs layer, an InP layer, an InAs layer, a SiGe layer / distortion Si layer, etc. are suitable.

[0088] Subsequently, in the 2nd step of STEP2, an insulating layer (for example, SiO two-layer) 14 is formed on the semi-conductor layer 13. Thereby, the 1st substrate or member 10 which has the semi-conductor layer 13 and insulating layer 14 as a transfer layer on the detached core 12 for a move is obtained. SiO two-layer suitable as an insulating layer 14 may be generated on condition that for example, O₂-/H₂ ambient atmosphere, 1100 degrees C, and 10 - 33min.

[0089] STEP3 and STEP4 are carried out in parallel to the above process. In STEP3, the 2nd substrate (support substrate; handle wafer) or the single crystal Si substrate 21 as a member is prepared, and the porous layer 22 as a detached core is formed on the main front face. This detached core is a detached core for thinning used at the process which thins the semi-conductor substrate with which the circuit element was formed. The porosity Si layer 22 can be formed by performing anode plate chemical conversion to the single crystal Si substrate 21 for example, in an electrolytic solution (formation liquid).

[0090] The solution containing the solution, hydrogen fluoride, and isopropyl alcohol which contain the solution, hydrogen fluoride, and ethanol containing hydrogen fluoride as an electrolytic solution here, for example etc. is suitable. If a more concrete example is given, as an electrolytic solution, the mixed liquor which mixed ethanol with HF water solution (HF concentration = 49wt%) by the volume ratio 2:1, for example is suitable. Of course, it is good also as multilayer structure which consists the porosity Si layer 22 of a layer more than two-layer [from which porosity differs mutually].

[0091] As for the porosity Si layer 22 of the 2nd substrate, it is desirable that a mechanical strength is higher than the porosity Si layer 12 of the 1st substrate. Here, a mechanical strength becomes high, so that hole density is so small that an aperture is so small that porosity is small. Or as for the porosity Si layer 22 of the 2nd substrate, it is more desirable than the porosity Si layer 12 of the 1st substrate that the added stress is small. as the approach of preparing the difference of a property in the porosity Si layer 12 of the 1st substrate, and the porosity Si layer 22 of the 2nd substrate -- the conductivity type of for example, a porosity formation field, specific resistance, or formation -- the presentation of liquid, or formation -- the approach of changing current density is employable.

[0092] In STEP4, the thickness adjustment layer 23 for making into the thickness of arbitration thickness of the final substrate with which the circuit element was formed on the porosity Si layer 22, or a chip is formed. Thereby, the 2nd substrate 20 which has the thickness adjustment layer 23 on the detached core 22 for thinning is obtained. As a thickness adjustment layer 23, although silicon layers, such as single crystal silicon, are suitable, you may be the layer which consisted of other ingredients, for example.

[0093] The 2nd substrate may not be limited to a single crystal Si substrate, for example, may be transparence substrates, such as a sapphire substrate and a quartz, or a polycrystal Si substrate. That is, if the 2nd substrate is the member which can form the separation section for a move, it is good anything.

[0094] Subsequently, in STEP5, the 1st substrate 10 pass STEP2, and the 2nd

substrate 20 pass STEP4 are combined at a room temperature, as an insulating layer 14 is inserted (bonding), and the joint substrate 30 is created.

[0095] In addition, an insulating layer 14 may be formed in the single crystal Si layer 13 side as mentioned above, may be formed on the 2nd substrate 20, may be formed in both, and as a result, when combining the 1st substrate and 2nd substrate, it should just be in the condition which shows in drawing 1 A. However, since the junction interface of the 1st substrate 10 and the 2nd substrate 20 can be kept away from a barrier layer by forming an insulating layer 14 in the semiconductor layer (for example, single crystal Si layer) 13 side used as a barrier layer as mentioned above, semi-conductor substrates, such as a more nearly high-definition SOI substrate, can be obtained.

[0096] Here, after combining a substrate 10 and a substrate 20, it is desirable to carry out processing which strengthens both association. The processing which heat-treats on condition that $1N_2$ ambient atmosphere, 1100 degrees C, and 10min, and heat-treats as an example of this processing on condition that $2O_2/H_2$ ambient atmosphere, 1100 degrees C, and 50 - 100min, for example (oxidation treatment) is suitable. In addition to this processing, it may replace with this processing and anode plate junction processing and/or pressure treatment may be carried out.

[0097] Subsequently, in STEP6, a mechanical strength separates the joint substrate 30 in the porous layer 12 as a brittle detached core for a move. How to make the pressure of a fluid act on a porous layer 12 as the separation approach of a joint substrate here for example For example, (the approach of driving a fluid into a porous layer 12, the method of impressing the static pressure of a fluid to a porous layer 12), etc., How to pull both substrates of each other to an opposite direction, as the force is added in the perpendicular direction to a porous layer 12, the approach (for example, the method of moving both substrates of each other to an opposite direction in a field parallel to a joint interface --) of applying shearing stress in parallel to a porous layer 12 How to make an opposite direction rotate both substrates as the force joins a circumferencial direction etc.,

The approach of pressurizing in the perpendicular direction to a joint interface, the method of impressing wave energies, such as a supersonic wave, to a porous layer 12, How to insert the member for exfoliation (for example, a sharp blade like a knife) from the side-face side of a joint substrate in parallel with a joint interface to a porous layer 12, By making the approach and porous layer 12 using the expansion energy of the matter into which the porous layer 12 was infiltrated oxidize thermally from the side face of a joint substrate There are an approach of carrying out cubical expansion of this porous layer 12, the approach of etching alternatively the porous layer 12 which functions as an isolation region from the side face of a joint substrate, and separating, etc.

[0098] Here, an important thing is separating the joint substrate 30 not in the porous layer 22 as a detached core for thinning but in the porous layer 12 as a detached core for a move. For that, it is desirable to make the mechanical strength of the porosity Si layer 22 as a detached core for thinning higher than the porosity Si layer 12 as a detached core for a move as mentioned above.

[0099] Or it is desirable to make the mechanical strength of the periphery section of the porosity Si layer 22 as a detached core for thinning stronger than the mechanical strength of the periphery section of the porous layer 21 as a detached core for a move. This approach is suitable for the approach of driving a fluid into a porous layer, especially the approach of inserting the member for exfoliation, etc. as the separation approach. If the separation in the porous layer 12 as a detached core for a move starts, since separation will progress along with a porous layer 12, the separation in the porous layer 22 as a detached core for thinning which are other detached cores cannot take place easily. It depends for the reinforcement of the periphery section of a porous layer on the thickness of the layer (for example, single-crystal-silicon layer) which adjoins a porous layer. Then, the mechanical strength of the periphery section of the porosity Si layer 22 as a detached core for thinning can be made stronger than the mechanical strength of the periphery section of the porous layer 21 as a detached core for a move by thickening relatively the thickness adjustment layer 23 which adjoins the

porous layer 22 as a detached core for thinning, and making thin relatively thickness of the semi-conductor layer 13 which adjoins the porous layer 12 as a detached core for a move. Or the diameter of the thickness adjustment layer 23 which adjoins the porous layer 22 as a detached core for thinning is enlarged relatively (). that is, distance from a substrate edge to the edge of the thickness adjustment layer 23 is made small, and the diameter of the semi-conductor layer 13 which adjoins the porous layer 12 as a detached core for a move may be relatively made small (namely, the distance from the edge of a substrate to the edge of the semi-conductor layer 13 -- small -- carrying out), and may be carried out. Also in this case, the mechanical strength of the periphery section of the porosity Si layer 22 as a detached core for thinning can be made stronger than the mechanical strength of the periphery section of the porous layer 21 as a detached core for a move. The situation of a flank is typically shown in drawing 10 .

[0100] STEP7 is a process carried out if needed, when porous layer 12a remains on the single crystal Si substrate 11 of 1st substrate 10' after separation. At this process, heat treatment in the reducing atmosphere containing etching, polish, grinding, and hydrogen etc. removes residual porous layer 12a. Of course, the case where there is no residue, when very few, or when not becoming a problem in a back process, it is not necessary to necessarily carry out a removal process. Thus, the single crystal Si substrate 11 obtained may be used as the single crystal silicon substrate 11 as the 1st substrate, or a single crystal silicon substrate 21 as the 2nd substrate.

[0101] STEP8 is a process carried out if needed, when porous layer 12b remains on 2nd [after separation] substrate 20'. At this process, heat treatment in the reducing atmosphere containing etching, polish, grinding, and hydrogen etc. removes residual porous layer 12b. Of course, the case where there is no residue, when very few, or when not becoming a problem in a back process, it is not necessary to necessarily carry out a removal process. Thus, the semi-conductor substrate 40 is manufactured. The semi-conductor substrate 40 is a

substrate corresponding to thinning in which thins easily and it deals by dissociating in the detached core 22 for thinning, after forming a circuit element. [0102] A circuit element is made from STEP9 to the semi-conductor substrate 40. When it explains briefly, this process includes the process which forms a component isolation region and an active region on the semi-conductor substrate 40, and forms the integrated circuit 41 including circuit elements, such as a transistor, or wiring in an active region. About the more detailed example of such a device process, it mentions later.

[0103] In STEP10, a mechanical strength separates the semi-conductor substrate 50 with which the integrated circuit 41 was formed in the porous layer 22 as a brittle detached core for thinning. Thereby, the semi-conductor substrate 50 thins. It depends for the thickness of the semi-conductor substrate 51 after thinning on the thickness of the thickness adjustment layer 23. Namely, what is necessary is just to adjust the thickness of the thickness adjustment layer 23 in STEP4 in consideration of the thickness demanded in a final semi-conductor substrate.

[0104] How to make the pressure of a fluid act on a porous layer 22 as the separation approach of a semi-conductor substrate for example For example, (the approach of driving a fluid into a porous layer 22, the method of impressing the static pressure of a fluid to a porous layer 22), etc., How to pull both substrates of each other to an opposite direction, as the force is added in the perpendicular direction to a porous layer 22, the approach (for example, the method of moving both substrates of each other to an opposite direction in a field parallel to a joint interface --) of applying shearing stress in parallel to a porous layer 22 How to make an opposite direction rotate both substrates as the force joins a circumferencial direction etc., The approach of pressurizing in the perpendicular direction to a joint interface, the method of impressing wave energies, such as a supersonic wave, to a porous layer 22, How to insert the member for exfoliation (for example, a sharp blade like a knife) from the side-face side of a joint substrate in parallel with a joint interface to a porous layer 22, By

making the approach and porous layer 22 using the expansion energy of the matter into which the porous layer 22 was infiltrated oxidize thermally from the side face of a joint substrate There are an approach of carrying out cubical expansion of this porous layer 22, the approach of etching alternatively the porous layer 22 which functions as an isolation region from the side face of a rare number substrate, and separating, etc.

[0105] STEP11 is a process carried out if needed, when porous layer 22a remains to the semi-conductor substrate 51 after thinning. At this process, heat treatment in the reducing atmosphere containing etching, polish, grinding, and hydrogen etc. removes residual porous layer 22a.

[0106] STEP12 is a process carried out if needed, when porous layer 22b remains on the single crystal Si substrate 21 as the 2nd substrate after separation. At this process, heat treatment in the reducing atmosphere containing etching, polish, grinding, and hydrogen etc. removes residual porous layer 22b. Of course, the case where there is no residue, when very few, or when not becoming a problem in a back process, it is not necessary to necessarily carry out a removal process. Thus, the single crystal Si substrate 21 obtained may be used as the single crystal silicon substrate 11 as the 1st substrate, the single crystal silicon substrate 21 as the 2nd substrate, or other semi-conductor substrates.

[0107] [the gestalt of the 2nd operation] -- the gestalt of this operation changes the porous layer 12 as a detached core for a move in the gestalt of the 1st operation into an ion-implantation layer.

[0108] Drawing 2 A and drawing 2 B are drawings showing typically the manufacture approach of the semiconductor device of the gestalt operation of the 2nd of this invention.

[0109] First, in STEP101, the single crystal Si substrate 11 is prepared as the 1st substrate (prime wafer or seed wafer) or member, and an insulating layer (for example, SiO two-layer) 14 is formed on the main front face.

[0110] Subsequently, in STEP102, the hydrogen ion impregnation layer 112 is

formed by pouring a hydrogen ion into the predetermined depth of the single crystal Si substrate 11 with which the insulating layer 14 was formed. This hydrogen ion impregnation layer 112 functions as a detached core for a move. According to this process, the single crystal Si layer 113 as a semi-conductor layer remains between an insulating layer 14 and the hydrogen ion impregnation layer 112.

[0111] Here, it may replace with a hydrogen ion and nitrogen and rare gas ion may be poured in. As ion-implantation, the approach using ion implantation equipment generally used for a circuit element formation process and plasma immersion ion-implantation (for example, indicated by the international public presentation number WO 98/No. 52216 official report) are employable.

[0112] In addition, in STEP101, it can also be made into the semi-conductor layer 14 in advance of formation of an insulating layer 14 by forming Si layers, such as a single crystal Si layer, a polycrystal Si layer, and an amorphous Si layer, germanium layer, a SiGe layer, a SiC layer, C layer, a GaAs layer, a GaN layer, an AlGaAs layer, the InGaAs layer, the InP layer, the InAs layer, the SiGe layer / distortion Si layer, etc.

[0113] STEP103 and STEP104 are carried out in parallel to the above process. In STEP3, the 2nd substrate (a support substrate, handle wafer) or the single crystal Si substrate 21 as a member is prepared, and the porous layer 22 as a detached core for thinning is formed on the main front face. The porosity Si layer 22 can be formed by performing anode plate chemical conversion to the single crystal Si substrate 21 for example, in an electrolytic solution (formation liquid).

[0114] The solution containing the solution, hydrogen fluoride, and isopropyl alcohol which contain the solution, hydrogen fluoride, and ethanol containing hydrogen fluoride as an electrolytic solution here, for example etc. is suitable. If a more concrete example is given, as an electrolytic solution, the mixed liquor which mixed ethanol with HF water solution (HF concentration = 49wt%) by the volume ratio 2:1, for example is suitable. Of course, it is good also as multilayer structure which consists the porosity Si layer 22 of a layer more than two-layer

[from which porosity differs mutually].

[0115] In STEP4, the thickness adjustment layer 23 for making into the thickness of arbitration thickness of the final substrate with which the circuit element was formed on the porosity Si layer 22, or a chip is formed. Thereby, the 2nd substrate 20 which has the thickness adjustment layer 23 on the detached core 22 for thinning is obtained. As a thickness adjustment layer 23, although silicon layers, such as single crystal silicon, are suitable, you may be the layer which consisted of other ingredients, for example.

[0116] The 2nd substrate may not be limited to a single crystal Si substrate, for example, may be a sapphire substrate. That is, if the 2nd substrate is the member which can form the separation section for a move, it is good anything.

[0117] Subsequently, in STEP105, the 1st substrate 110 pass STEP102, and the 2nd substrate 120 pass STEP4 are combined at a room temperature, as an insulating layer 14 is inserted (bonding), and the joint substrate 130 is created. Then, you may process for strengthening association.

[0118] Subsequently, in STEP106, a mechanical strength separates the joint substrate 30 in the hydrogen ion impregnation layer 112 as a brittle detached core for a move. Here, as the separation approach of a joint substrate, heat treatment is the most desirable, for example. By heat-treating, it is known that the minute cavity of a large number which exist potentially in the ion-implantation layer 112 will condense. Such a layer is called for example, a microporosity layer (micro-cavity layer). By adopting heat treatment in this separation process, the joint substrate 30 is separable in the hydrogen ion impregnation layer 112 as not the porous layer 22 but the detached core for a move as a detached core for thinning. The ion-implantation layer 112 is because it activates as a detached core at temperature lower than a porous layer 22.

[0119] In addition, the method of replacing with the above-mentioned heat treatment and making the pressure of a fluid act on the hydrogen ion impregnation layer 112 For example, (the approach of driving a fluid into the hydrogen ion impregnation layer 112, the method of impressing the static

pressure of a fluid to the hydrogen ion impregnation layer 112), etc., How to pull both substrates of each other to an opposite direction, as the force is added in the perpendicular direction to the hydrogen ion impregnation layer 112, How to apply shearing stress in parallel to the hydrogen ion impregnation layer 112 for example, the method of moving both substrates of each other to an opposite direction in a field parallel to a joint interface -- How to make an opposite direction rotate both substrates as the force joins a circumferential direction etc., The approach of pressurizing in the perpendicular direction to a joint interface, the method of impressing wave energies, such as a supersonic wave, to the hydrogen ion impregnation layer 112, The approach of inserting the member for exfoliation (for example, a sharp blade like a knife) from the side-face side of a joint substrate in parallel with a joint interface to hydrogen ion impregnation **** 12 etc. can be adopted.

[0120] STEP107 is a process carried out if needed, when hydrogen ion impregnation layer 112a remains on the single crystal Si substrate 11 of 1st substrate 110' after separation. At this process, heat treatment in the reducing atmosphere containing etching, polish, grinding, and hydrogen etc. removes residual hydrogen ion impregnation layer 112a. Of course, the case where there is no residue, when very few, or when not becoming a problem in a back process, it is not necessary to necessarily carry out a removal process. Thus, the single crystal Si substrate 11 obtained may be used as the single crystal silicon substrate 11 as the 1st substrate, or a single crystal silicon substrate 21 as the 2nd substrate.

[0121] STEP108 is a process carried out if needed, when hydrogen ion impregnation layer 112b remains on 2nd [after separation] substrate 120'. At this process, heat treatment in the reducing atmosphere containing etching, polish, grinding, and hydrogen etc. removes residual hydrogen ion impregnation layer 112b. Of course, the case where there is no residue, when very few, or when not becoming a problem in a back process, it is not necessary to necessarily carry out a removal process. Thus, the semi-conductor substrate 140

is manufactured. The semi-conductor substrate 140 is a substrate corresponding to thinning in which thins easily and it deals by dissociating in the detached core 122 for thinning, after forming a circuit element.

[0122] A circuit element is made from STEP109 to the semi-conductor substrate 140. When it explains briefly, this process includes the process which forms a component isolation region and an active region on the semi-conductor substrate 140, and forms the integrated circuit 41 including circuit elements, such as a transistor, or wiring in an active region. About the more detailed example of this process, it mentions later.

[0123] In STEP110, a mechanical strength separates the semi-conductor substrate 150 with which the integrated circuit 41 was formed in the porous layer 22 as a brittle detached core for thinning. Thereby, the semi-conductor substrate 150 thins. It depends for the thickness of the semi-conductor substrate 151 after thinning on the thickness of the thickness adjustment layer 23. Namely, what is necessary is just to adjust the thickness of the thickness adjustment layer 23 in STEP104 in consideration of the thickness demanded in a final semi-conductor substrate.

[0124] How to make the pressure of a fluid act on a porous layer 22 as the separation approach of a semi-conductor substrate for example For example, (the approach of driving a fluid into a porous layer 22, the method of impressing the static pressure of a fluid to a porous layer 22), etc., How to pull both substrates of each other to an opposite direction, as the force is added in the perpendicular direction to a porous layer 22, the approach (for example, the method of moving both substrates of each other to an opposite direction in a field parallel to a joint interface --) of applying shearing stress in parallel to a porous layer 22 How to make an opposite direction rotate both substrates as the force joins a circumferencial direction etc., The approach of pressurizing in the perpendicular direction to a joint interface, the method of impressing wave energies, such as a supersonic wave, to a porous layer 22, How to insert the member for exfoliation (for example, a sharp blade like a knife) from the side-face

side of a joint substrate in parallel with a joint interface to a porous layer 22, By making the approach and porous layer 22 using the expansion energy of the matter into which the porous layer 22 was infiltrated oxidize thermally from the side face of a joint substrate There are an approach of carrying out cubical expansion of this porous layer 22, the approach of etching alternatively the porous layer which functions as an isolation region from the side face of a joint substrate, and separating, etc.

[0125] STEP111 is a process carried out if needed, when porous layer 22a remains to the semi-conductor substrate 151 after thinning. At this process, heat treatment in the reducing atmosphere containing etching, polish, grinding, and hydrogen etc. removes residual porous layer 22a.

[0126] STEP112 is a process carried out if needed, when porous layer 22b remains on the single crystal Si substrate 21 as the 2nd substrate after separation. At this process, heat treatment in the reducing atmosphere containing etching, polish, grinding, and hydrogen etc. removes residual porous layer 22b. Of course, the case where there is no residue, when very few, or when not becoming a problem in a back process, it is not necessary to necessarily carry out a removal process. Thus, the single crystal Si substrate 21 obtained may be used as the single crystal silicon substrate 11 as the 1st substrate, or a single crystal silicon substrate 21 as the 2nd substrate.

[0127] [the gestalt of the 3rd operation] -- the gestalt of this operation changes the porous layer 22 as a detached core for thinning in the gestalt of the 1st operation into a hetero epitaxial layer.

[0128] Drawing 3 A and drawing 3 B are drawings showing typically the manufacture approach of the semiconductor device of the gestalt operation of the 3rd of this invention.

[0129] First, in STEP 201 and 202, the 1st substrate or member 210 which has the semi-conductor layer 13 and insulating layer 14 as a transfer layer on the detached core 12 for a move is produced like the gestalt of the 1st operation.

[0130] In STEP203, the 2nd substrate (a support substrate, handle wafer) or the

single crystal Si substrate 21 as a member is prepared, and the heteroepitaxial growth layer 222 as a detached core is formed on the main front face. A detached core 222 is a detached core for thinning used at the process which thins the semi-conductor substrate with which the circuit element was formed, and its mechanical strength is stronger than the detached core 12 for a move. Here, as a hetero epitaxial layer 222, although a SiGe layer and SiC are suitable when the substrate of a substrate is a silicon substrate, GaN, GaAs, etc. are sufficient, for example.

[0131] In STEP204, the thickness adjustment layer 23 for making into the thickness of arbitration thickness of the final substrate with which the circuit element was formed on the heteroepitaxial growth layer 222, or a chip is formed. Thereby, the 2nd substrate 220 which has the thickness adjustment layer 23 on the detached core 222 for thinning is obtained. As a thickness adjustment layer 23, although silicon layers, such as single crystal silicon, are suitable, you may be the layer which consisted of other ingredients, for example.

[0132] The 2nd substrate may not be limited to a single crystal Si substrate, for example, may be a sapphire substrate. That is, if the 2nd substrate is the member which can form the separation section for thinning, it is good anything.

[0133] Subsequently, in STEP205, the 1st substrate 210 pass STEP202, and the 2nd substrate 220 pass STEP204 are combined at a room temperature, as an insulating layer 14 is inserted (bonding), and the joint substrate 230 is created.

[0134] In addition, an insulating layer 14 may be formed in the single crystal Si layer 13 side as mentioned above, may be formed on the 2nd substrate 220, may be formed in both, and as a result, when combining the 1st substrate and 2nd substrate, it should just be in the condition which shows in drawing 2 A. However, since the junction interface of the 1st substrate 110 and the 2nd substrate 220 can be kept away from a barrier layer by forming an insulating layer 14 in the semi-conductor layer (for example, single crystal Si layer) 13 side used as a barrier layer as mentioned above, semi-conductor substrates, such as a more nearly high-definition SOI substrate, can be obtained.

[0135] Here, after combining a substrate 210 and a substrate 220, it is desirable to carry out processing which strengthens both association. The processing which heat-treats on condition that $1N_2$ ambient atmosphere, 1100 degrees C, and 10min, and heat-treats as an example of this processing on condition that $2O_2/H_2$ ambient atmosphere, 1100 degrees C, and 50 - 100min, for example (oxidation treatment) is suitable. In addition to this processing, it may replace with this processing and anode plate junction processing and/or pressure treatment may be carried out.

[0136] Subsequently, in STEP206, a mechanical strength separates the joint substrate 230 in the porous layer 12 as a brittle detached core for a move. How to make the pressure of a fluid act on a porous layer 12 as the separation approach of a joint substrate here for example For example, (the approach of driving a fluid into a porous layer 12, the method of impressing the static pressure of a fluid to a porous layer 12), etc., How to pull both substrates of each other to an opposite direction, as the force is added in the perpendicular direction to a porous layer 12, the approach (for example, the method of moving both substrates of each other to an opposite direction in a field parallel to a joint interface --) of applying shearing stress in parallel to a porous layer 22 How to make an opposite direction rotate both substrates as the force joins a circumferencial direction etc., The approach of pressurizing in the perpendicular direction to a joint interface, the method of impressing wave energies, such as a supersonic wave, to a porous layer 12, How to insert the member for exfoliation (for example, a sharp blade like a knife) from the side-face side of a joint substrate in parallel with a joint interface to a porous layer 12, By making the approach and porous layer 12 using the expansion energy of the matter into which the porous layer 12 was infiltrated oxidize thermally from the side face of a joint substrate There are an approach of carrying out cubical expansion of this porous layer 12, the approach of etching alternatively the porous layer which functions as an isolation region from the side face of a joint substrate, and separating, etc.

[0137] STEP207 is a process carried out if needed, when porous layer 12a remains on the single crystal Si substrate 11 of 1st substrate 210' after separation. At this process, heat treatment in the reducing atmosphere containing etching, polish, grinding, and hydrogen etc. removes residual porous layer 12a. Of course, the case where there is no residue, when very few, or when not becoming a problem in a back process, it is not necessary to necessarily carry out a removal process. Thus, the single crystal Si substrate 11 obtained may be used as the single crystal silicon substrate 11 as the 1st substrate, or a single crystal silicon substrate 21 as the 2nd substrate.

[0138] STEP208 is a process carried out if needed, when porous layer 12b remains on 2nd [after separation] substrate 220'. At this process, heat treatment in the reducing atmosphere containing etching, polish, grinding, and hydrogen etc. removes residual porous layer 12b. Of course, the case where there is no residue, when very few, or when not becoming a problem in a back process, it is not necessary to necessarily carry out a removal process. Thus, the semi-conductor substrate 240 is manufactured. The semi-conductor substrate 240 is a substrate corresponding to thinning in which thins easily and it deals by dissociating in the detached core 222 for thinning, after forming a circuit element.

[0139] A circuit element is made from STEP209 to the semi-conductor substrate 240. When it explains briefly, this process includes the process which forms a component isolation region and an active region on the semi-conductor substrate 240, and forms the integrated circuit 41 including circuit elements, such as a transistor, or wiring in an active region. About the more detailed example of this process, it mentions later.

[0140] In STEP210, a mechanical strength separates the semi-conductor substrate 250 with which the integrated circuit 41 was formed in the hetero epitaxial layer 222 as a brittle detached core for thinning. Thereby, the semi-conductor substrate 250 thins. It depends for the thickness of the semi-conductor substrate 51 after thinning on the thickness of the thickness adjustment layer 23. Namely, what is necessary is just to adjust the thickness of the thickness

adjustment layer 23 in STEP204 in consideration of the thickness demanded in a final semi-conductor substrate.

[0141] How to make the pressure of a fluid act on the heteroepitaxial growth layer 222 as the separation approach of a semi-conductor substrate for example for example, the approach of driving a fluid into the heteroepitaxial growth layer 222 -- How to impress the static pressure of a fluid to the heteroepitaxial growth layer 222 etc., How to pull both substrates of each other to an opposite direction, as the force is added in the perpendicular direction to the heteroepitaxial growth layer 222, How to apply shearing stress in parallel to the heteroepitaxial growth layer 222 for example, the method of moving both substrates of each other to an opposite direction in a field parallel to a lamination side -- How to make an opposite direction rotate both substrates as the force joins a circumferential direction etc., There are an approach of pressurizing in the perpendicular direction to a joint interface, the approach of inserting the member for exfoliation (for example, a sharp blade like a knife) from the side-face side of a joint substrate in parallel with a joint interface to the heteroepitaxial growth layer 222, etc.

[0142] STEP211 is a process carried out if needed, when heteroepitaxial growth layer 222a remains to the semi-conductor substrate 51 after thinning. At this process, etching, polish, grinding, etc. remove residual heteroepitaxial growth layer 222a.

[0143] STEP12 is a process carried out if needed, when heteroepitaxial growth layer 222b remains on the single crystal Si substrate 21 as the 2nd substrate after separation. At this process, etching, polish, grinding, etc. remove residual growth phase 222b. Of course, the case where there is no residue, when very few, or when not becoming a problem in a back process, it is not necessary to necessarily carry out a removal process. Thus, the single crystal Si substrate 21 obtained may be used as the single crystal silicon substrate 11 as the 1st substrate, or a single crystal silicon substrate 21 as the 2nd substrate.

[0144] [the gestalt of the 4th operation] -- the gestalt of this operation is changed

into the hetero epitaxial layer same as a detached core for thinning in the gestalt of the 2nd operation as the gestalt of the 3rd operation of a porous layer 112, and is **.

[0145] Drawing 4 A and drawing 4 B are drawings showing typically the manufacture approach of the semiconductor device of the gestalt operation of the 4th of this invention.

[0146] In STEP 301 and 302, the 1st substrate 310 which has the semiconductor layer 113 on the hydrogen ion impregnation layer 112, and has an insulating layer 113 on it like the gestalt of the 2nd operation is produced.

[0147] In STEP 303 and 304, the 2nd substrate 320 which has the thickness adjustment layer 23 for making into the thickness of arbitration thickness of the final substrate with which the circuit element was formed on the heteroepitaxial growth layer 222, or a chip like the gestalt of the 3rd operation is produced.

[0148] Subsequently, in STEP305, the 1st substrate 310 pass STEP302, and the 2nd substrate 320 pass STEP304 are combined at a room temperature, as an insulating layer 14 is inserted (bonding), and the joint substrate 330 is created. Then, you may process for strengthening association.

[0149] Subsequently, in STEP306, a mechanical strength separates the joint substrate 30 in the hydrogen ion impregnation layer 112 as a brittle detached core for a move. Here, as the separation approach of a joint substrate, heat treatment is the most desirable, for example. By heat-treating, it is known that the minute cavity of a large number which exist potentially in the ion-implantation layer 112 will condense. Such a layer is called for example, a microporosity layer (micro-cavity layer). By adopting heat treatment in this separation process, the joint substrate 330 is separable in the hydrogen ion impregnation layer 112 as not the heteroepitaxial growth layer 222 but the detached core for a move as a detached core for thinning.

[0150] In addition, the method of replacing with the above-mentioned heat treatment and making the pressure of a fluid act on the hydrogen ion impregnation layer 112 For example, (the approach of driving a fluid into the

hydrogen ion impregnation layer 112, the method of impressing the static pressure of a fluid to the hydrogen ion impregnation layer 112), etc., How to pull both substrates of each other to an opposite direction, as the force is added in the perpendicular direction to the hydrogen ion impregnation layer 112, How to apply shearing stress in parallel to the hydrogen ion impregnation layer 112 for example, the method of moving both substrates of each other to an opposite direction in a field parallel to a joint interface -- How to make an opposite direction rotate both substrates as the force joins a circumferential direction etc., The approach of pressurizing in the perpendicular direction to a joint interface, the method of impressing wave energies, such as a supersonic wave, to the hydrogen ion impregnation layer 112, The approach of inserting the member for exfoliation (for example, a sharp blade like a knife) from the side-face side of a joint substrate in parallel with a joint interface to hydrogen ion impregnation **** 112 etc. can be adopted.

[0151] STEP307 is a process carried out if needed, when hydrogen ion impregnation layer 112a remains on the single crystal Si substrate 11 of 1st substrate 310' after separation. At this process, heat treatment in the reducing atmosphere containing etching, polish, grinding, and hydrogen etc. removes residual hydrogen ion impregnation layer 112a. Of course, the case where there is no residue, when very few, or when not becoming a problem in a back process, it is not necessary to necessarily carry out a removal process. Thus, the single crystal Si substrate 11 obtained may be used as the single crystal silicon substrate 11 as the 1st substrate, or a single crystal silicon substrate 21 as the 2nd substrate.

[0152] STEP308 is a process carried out if needed, when hydrogen ion impregnation layer 112b remains on 2nd [after separation] substrate 320'. At this process, heat treatment in the reducing atmosphere containing etching, polish, grinding, and hydrogen etc. removes residual hydrogen ion impregnation layer 112b. Of course, the case where there is no residue, when very few, or when not becoming a problem in a back process, it is not necessary to

necessarily carry out a removal process. Thus, the semi-conductor substrate 340 is manufactured. The semi-conductor substrate 340 is a substrate corresponding to thinning in which thins easily and it deals by dissociating in the detached core 222 for thinning, after forming a circuit element.

[0153] A circuit element is made from STEP309 to the semi-conductor substrate 340. When it explains briefly, this process includes the process which forms a component isolation region and an active region on the semi-conductor substrate 340, and forms the integrated circuit 41 including circuit elements, such as a transistor, or wiring in an active region. About the more detailed example of this process, it mentions later.

[0154] In STEP310, a mechanical strength separates the semi-conductor substrate 350 with which the integrated circuit 41 was formed in the heteroepitaxial growth layer 222 as a detached core for thinning as a brittle detached core for thinning. Thereby, the semi-conductor substrate 350 thins. It depends for the thickness of the semi-conductor substrate 351 after thinning on the thickness of the thickness adjustment layer 23. Namely, what is necessary is just to adjust the thickness of the thickness adjustment layer 23 in STEP304 in consideration of the thickness demanded in a final semi-conductor substrate.

[0155] How to make the pressure of a fluid act on the heteroepitaxial growth layer 222 as the separation approach of a semi-conductor substrate for example for example, the approach of driving a fluid into the heteroepitaxial growth layer 222 -- How to impress the static pressure of a fluid to the heteroepitaxial growth layer 222 etc., How to pull both substrates of each other to an opposite direction, as the force is added in the perpendicular direction to the heteroepitaxial growth layer 222, How to apply shearing stress in parallel to the heteroepitaxial growth layer 222 for example, the method of moving both substrates of each other to an opposite direction in a field parallel to a joint interface -- How to make an opposite direction rotate both substrates as the force joins a circumferencial direction etc., There are an approach of pressurizing in the perpendicular direction to a joint interface, the approach of inserting the member for exfoliation

(for example, a sharp blade like a knife) from the side-face side of a joint substrate in parallel with a joint interface to the heteroepitaxial growth layer 222, etc.

[0156] STEP311 is a process carried out if needed, when heteroepitaxial growth layer 222a remains to the semi-conductor substrate 351 after thinning. At this process, etching, polish, grinding, etc. remove residual heteroepitaxial growth layer 222a.

[0157] STEP312 is a process carried out if needed, when heteroepitaxial growth layer 222b remains on the single crystal Si substrate 21 as the 2nd substrate after separation. At this process, etching, polish, grinding, etc. remove residual heteroepitaxial growth layer 222b. Of course, the case where there is no residue, when very few, or when not becoming a problem in a back process, it is not necessary to necessarily carry out a removal process. Thus, the single crystal Si substrate 21 obtained may be used as the single crystal silicon substrate 11 as the 1st substrate, or a single crystal silicon substrate 21 as the 2nd substrate.

[0158] [the gestalt of the 5th operation] -- the gestalt of this operation uses the both sides of the detached core for a move, and the detached core for thinning as a heteroepitaxial growth layer.

[0159] Drawing 5 A and drawing 5 B are drawings showing typically the manufacture approach of the semiconductor device of the gestalt operation of the 5th of this invention.

[0160] First, in STEP401, the single crystal Si substrate 11 is prepared as the 1st substrate (prime wafer or seed wafer) or member, and the heteroepitaxial growth layer 412 as a detached core for a move is formed on the main front face.

[0161] Subsequently, in STEP402, the semi-conductor layers 413, such as a single crystal Si layer, are formed on the heteroepitaxial growth layer 412, and an insulating layer (for example, SiO two-layer) 14 is formed on it. The 1st substrate 410 which has the semi-conductor layer 413 on the heteroepitaxial growth layer 412 as a detached core for a move, and has an insulating layer 14 on it by this is obtained.

[0162] STEP 403 and 404 is carried out in parallel to the above process. In STEP403, the 2nd substrate (a support substrate, handle wafer) or the single crystal Si substrate 21 as a member is prepared, and the heteroepitaxial growth layer 422 as a detached core for thinning is formed on the main front face. The detached core 422 for thinning has a mechanical strength stronger than the detached core 412 for a move. It realizes by making it smaller than the difference of the lattice constant of the detached core 412 for a move, and the lattice constant of the substrate 11 of the substrate, and this deals in the difference of the lattice constant of the detached core 422 for thinning, and the lattice constant of the substrate 21 of the substrate. Moreover, it realizes by making smaller than the stress which joins the detached core 412 for a move stress which joins the detached core 422 for thinning, and deals in this. Here, as a hetero epitaxial layer as the detached core 412 for a move, and a detached core 422 for thinning, although a SiGe layer and SiC are suitable when the substrate of a substrate is a silicon substrate, GaN, GaAs, etc. are sufficient, for example.

[0163] The 2nd substrate may not be limited to a single crystal Si substrate, for example, may be a sapphire substrate. That is, if the 2nd substrate is the member which can form the separation section for a move, it is good anything.

[0164] Subsequently, in STEP405, the 1st substrate 410 pass STEP402, and the 2nd substrate 420 pass STEP404 are combined at a room temperature, as an insulating layer 14 is inserted (bonding), and the joint substrate 430 is created.

[0165] In addition, an insulating layer 14 may be formed in the single crystal Si layer 13 side as mentioned above, may be formed on the 2nd substrate 420, may be formed in both, and as a result, when combining the 1st substrate and 2nd substrate, it should just be in the condition which shows in drawing 4 A. However, since the junction interface of the 1st substrate 410 and the 2nd substrate 420 can be kept away from a barrier layer by forming an insulating layer 14 in the semi-conductor layer (for example, single crystal Si layer) 13 side used as a barrier layer as mentioned above, semi-conductor substrates, such as a more nearly high-definition SOI substrate, can be obtained.

[0166] Here, after combining a substrate 410 and a substrate 420, it is desirable to carry out processing which strengthens both association. The processing which heat-treats on condition that $1N_2$ ambient atmosphere, 1100 degrees C, and 10min, and heat-treats as an example of this processing on condition that $2O_2/H_2$ ambient atmosphere, 1100 degrees C, and 50 - 100min, for example (oxidation treatment) is suitable. In addition to this processing, it may replace with this processing and anode plate junction processing and/or pressure treatment may be carried out.

[0167] Subsequently, in STEP406, a mechanical strength separates the joint substrate 430 in the heteroepitaxial growth layer 412 as a brittle detached core for a move. How to make the pressure of a fluid act on the heteroepitaxial growth layer 412 as the separation approach of a joint substrate here for example for example, the approach of driving a fluid into the heteroepitaxial growth layer 412 -- How to impress the static pressure of a fluid to the heteroepitaxial growth layer 412 etc., How to pull both substrates of each other to an opposite direction, as the force is added in the perpendicular direction to the heteroepitaxial growth layer 412, How to apply shearing stress in parallel to the heteroepitaxial growth layer 412 for example, the method of moving both substrates of each other to an opposite direction in a field parallel to a joint interface -- How to make an opposite direction rotate both substrates as the force joins a circumferential direction etc., There are an approach of pressurizing in the perpendicular direction to a joint interface, the approach of inserting the member for exfoliation (for example, a sharp blade like a knife) from the side-face side of a joint substrate in parallel with a joint interface to the heteroepitaxial growth layer 412, etc.

[0168] STEP407 is a process carried out if needed, when heteroepitaxial growth layer 412a remains on the single crystal Si substrate 11 of 1st substrate 410' after separation. At this process, etching, polish, grinding, etc. remove residual heteroepitaxial growth layer 412a. Of course, the case where there is no residue, when very few, or when not becoming a problem in a back process, it is not

necessary to necessarily carry out a removal process. Thus, the single crystal Si substrate 11 obtained may be used as the single crystal silicon substrate 11 as the 1st substrate, or a single crystal silicon substrate 21 as the 2nd substrate. [0169] STEP408 is a process carried out if needed, when heteroepitaxial growth layer 412b remains on 2nd [after separation] substrate 420'. At this process, etching, polish, grinding, etc. remove residual heteroepitaxial growth layer 412b. Of course, the case where there is no residue, when very few, or when not becoming a problem in a back process, it is not necessary to necessarily carry out a removal process. Thus, the semi-conductor substrate 440 is manufactured. The semi-conductor substrate 440 is a substrate corresponding to thinning in which thins easily and it deals by dissociating in the detached core 422 for thinning, after forming a circuit element.

[0170] A circuit element is made from STEP409 to the semi-conductor substrate 440. When it explains briefly, this process includes the process which forms a component isolation region and an active region on the semi-conductor substrate 440, and forms the integrated circuit 41 including circuit elements, such as a transistor, or wiring in an active region. About the more detailed example of this process, it mentions later.

[0171] In STEP410, a mechanical strength separates the semi-conductor substrate 450 with which the integrated circuit 41 was formed in the heteroepitaxial growth layer 422 as a brittle detached core for thinning. Thereby, the semi-conductor substrate 450 thins. It depends for the thickness of the semi-conductor substrate 451 after thinning on the thickness of the thickness adjustment layer 23. Namely, what is necessary is just to adjust the thickness of the thickness adjustment layer 23 in STEP404 in consideration of the thickness demanded in a final semi-conductor substrate.

[0172] How to make the pressure of a fluid act on the heteroepitaxial growth layer 422 as the separation approach of a semi-conductor substrate for example for example, the approach of driving a fluid into the heteroepitaxial growth layer 422 -- How to impress the static pressure of a fluid to the heteroepitaxial growth layer

422 etc., How to pull both substrates of each other to an opposite direction, as the force is added in the perpendicular direction to the heteroepitaxial growth layer 422, How to apply shearing stress in parallel to the heteroepitaxial growth layer 422 for example, the method of moving both substrates of each other to an opposite direction in a field parallel to a plane of union -- How to make an opposite direction rotate both substrates as the force joins a circumferencial direction etc., There are an approach of pressurizing in the perpendicular direction to a joint interface, the approach of inserting the member for exfoliation (for example, a sharp blade like a knife) from the side-face side of a joint substrate in parallel with a joint interface to the heteroepitaxial growth layer 422, etc.

[0173] STEP411 is a process carried out if needed, when heteroepitaxial growth layer 222a remains to the semi-conductor substrate 451 after thinning. At this process, etching, polish, grinding, etc. remove residual heteroepitaxial growth layer 422a.

[0174] STEP412 is a process carried out if needed, when heteroepitaxial growth layer 422b remains on the single crystal Si substrate 21 as the 2nd substrate after separation. At this process, etching, polish, grinding, etc. remove residual heteroepitaxial growth layer 422b. Of course, the case where there is no residue, when very few, or when not becoming a problem in a back process, it is not necessary to necessarily carry out a removal process. Thus, the single crystal Si substrate 21 obtained may be used as the single crystal silicon substrate 11 as the 1st substrate, or a single crystal silicon substrate 21 as the 2nd substrate.

[0175] [the gestalt of the 6th operation] -- with the gestalt of this operation, the separation section for thinning (substitute of a detached core) is made into the joint interface of the 1st substrate and the 2nd substrate by using the detached core for a move as a hydrogen ion impregnation layer.

[0176] Drawing 6 A and drawing 6 B are drawings showing typically the manufacture approach of the semiconductor device of the gestalt operation of the 6th of this invention.

[0177] First, in STEP501, the single crystal Si substrate 11 is prepared as the 1st substrate (prime wafer or seed wafer) or member, and an insulating layer (for example, SiO two-layer) 14 is formed on the main front face.

[0178] Subsequently, in STEP502, the hydrogen ion impregnation layer 112 is formed by pouring a hydrogen ion into the predetermined depth of the single crystal Si substrate 11 with which the insulating layer 14 was formed. This hydrogen ion impregnation layer 112 functions as a detached core for a move. According to this process, the single crystal Si layer 113 as a semi-conductor layer remains between an insulating layer 14 and the hydrogen ion impregnation layer 112.

[0179] Here, it may replace with a hydrogen ion and nitrogen and rare gas ion may be poured in. As ion-implantation, plasma immersion ion-implantation (for example, indicated by the international public presentation number WO 98/No. 52216 official report) is employable, for example.

[0180] In addition, in STEP501, it can also be made into the semi-conductor layer 14 in advance of formation of an insulating layer 14 by forming Si layers, such as a single crystal Si layer, a polycrystal Si layer, and an amorphous Si layer, germanium layer, a SiGe layer, a SiC layer, C layer, a GaAs layer, a GaN layer, an AlGaAs layer, the InGaAs layer, the InP layer, the InAs layer, the SiGe layer / distortion Si layer, etc.

[0181] Subsequently, in STEP503, the 1st substrate 510 pass STEP502, and the 2nd substrate 21 are combined at a room temperature, as an insulating layer 14 is inserted (bonding), and the joint substrate 530 is created. Then, you may process for strengthening association.

[0182] Subsequently, in STEP504, a mechanical strength separates the joint substrate 530 in the hydrogen ion impregnation layer 112 as a brittle detached core for a move. Here, as the separation approach of a joint substrate, heat treatment is the most desirable, for example. By heat-treating, it is known that the minute cavity of a large number which exist potentially in the ion-implantation layer 112 will condense. Such a layer is called for example, a microporosity layer

(micro-cavity layer).

[0183] In addition, the method of replacing with the above-mentioned heat treatment and making the pressure of a fluid act on the hydrogen ion impregnation layer 112. For example, (the approach of driving a fluid into the hydrogen ion impregnation layer 112, the method of impressing the static pressure of a fluid to the hydrogen ion impregnation layer 112), etc., How to pull both substrates of each other to an opposite direction, as the force is added in the perpendicular direction to the hydrogen ion impregnation layer 112, How to apply shearing stress in parallel to the hydrogen ion impregnation layer 112 for example, the method of moving both substrates of each other to an opposite direction in a field parallel to a joint interface -- How to make an opposite direction rotate both substrates as the force joins a circumferential direction etc., The approach of pressurizing in the perpendicular direction to a joint interface, the method of impressing wave energies, such as a supersonic wave, to the hydrogen ion impregnation layer 112, The approach of inserting the member for exfoliation (for example, a sharp blade like a knife) from the side-face side of a joint substrate in parallel with a joint interface to hydrogen ion impregnation **** 12 etc. can be adopted.

[0184] STEP504 is a process carried out if needed, when hydrogen ion impregnation layer 112a remains on the single crystal Si substrate 11 of 1st substrate 510' after separation. At this process, heat treatment in the reducing atmosphere containing etching, polish, grinding, and hydrogen etc. removes residual hydrogen ion impregnation layer 112a. Of course, the case where there is no residue, when very few, or when not becoming a problem in a back process, it is not necessary to necessarily carry out a removal process. Thus, the single crystal Si substrate 11 obtained may be used as the single crystal silicon substrate 11 as the 1st substrate, or a single crystal silicon substrate 21 as the 2nd substrate.

[0185] STEP506 is a process carried out if needed, when hydrogen ion impregnation layer 112b remains on 2nd [after separation] substrate 520'. At

this process, heat treatment in the reducing atmosphere containing etching, polish, grinding, and hydrogen etc. removes residual hydrogen ion impregnation layer 112b. Of course, the case where there is no residue, when very few, or when not becoming a problem in a back process, it is not necessary to necessarily carry out a removal process. Thus, the semi-conductor substrate 540 is manufactured. The semi-conductor substrate 540 is a substrate corresponding to thinning in which thins easily and it deals by dissociating in the detached core 122 for thinning, after forming a circuit element.

[0186] A circuit element is made from STEP507 to the semi-conductor substrate 540. When it explains briefly, this process includes the process which forms a component isolation region and an active region on the semi-conductor substrate 40, and forms the integrated circuit 41 including circuit elements, such as a transistor, or wiring in an active region. About the more detailed example of this process, it mentions later.

[0187] In STEP508, a mechanical strength separates the semi-conductor substrate 550 with which the integrated circuit 41 was formed in the joint interface 590 of the 1st substrate as the brittle separation section for thinning, and the 2nd substrate. Thereby, the semi-conductor substrate 550 thins.

[0188] How to make the pressure of a fluid act on the joint interface 590 as the separation approach of a semi-conductor substrate for example For example, (the approach of driving a fluid into the joint interface 590, the method of impressing the static pressure of a fluid to the joint interface 590), etc., How to pull both substrates of each other to an opposite direction, as the force is added in the perpendicular direction to the joint interface 590, the approach (for example, the method of moving both substrates of each other to an opposite direction in a field parallel to the joint interface 590 --) of applying shearing stress in parallel to the joint interface 590 How to make an opposite direction rotate both substrates as the force joins a circumferencial direction etc., There are an approach of pressurizing in the perpendicular direction to the joint interface 590, the approach of inserting the member for exfoliation (for example, a sharp blade

like a knife) from the side-face side of a joint substrate in parallel with a joint interface to the joint interface 590, etc.

[0189] STEP508 is a process carried out if needed, when the rear face (separation side) of the semi-conductor substrate 551 after thinning is ruined. At this process, flattening of the rear face of the semi-conductor substrate 551 is carried out by heat treatment in the reducing atmosphere containing etching, polish, grinding, and hydrogen etc.

[0190] STEP510 is a process carried out if needed, when the front face of the single crystal Si substrate 21 as the 2nd substrate after separation is ruined. At this process, flattening of the front face of the single crystal Si substrate 21 is carried out by heat treatment in the reducing atmosphere containing etching, polish, grinding, and hydrogen etc. Thus, the single crystal Si substrate 21 obtained may be used as the single crystal silicon substrate 11 as the 1st substrate, or a single crystal silicon substrate 21 as the 2nd substrate.

[0191] [the gestalt of the 7th operation] -- the gestalt of this operation uses the detached core for thinning as a high concentration dope layer by using the detached core for a move as a hydrogen ion impregnation layer.

[0192] Drawing 7 A and drawing 7 B are drawings showing typically the manufacture approach of the semiconductor device of the gestalt operation of the 7th of this invention.

[0193] First, in STEP 601 and 602, the 1st substrate or member 610 which has the semi-conductor layer 13 and insulating layer 14 as a transfer layer on the detached core 12 for a move is produced like the gestalt of the 1st operation.

[0194] In STEP603, the 2nd substrate (a support substrate, handle wafer) or the single crystal Si substrate 21 as a member is prepared, an impurity is doped to it at high concentration, and the high concentration dope layer 622 as a detached core for thinning is formed. As an impurity, although antimony, arsenic, boron, etc. are employable, antimony and arsenic whose fall of the concentration by heat treatment in the process (STEP609), i.e., the device process, which forms a circuit element also in this is the small matter are desirable. To adopt antimony,

as dope concentration, about three $1 \times 10^{19}/\text{cm}$ is required, for example. The high concentration dope 622 is a detached core for a move used at the process which thins the semi-conductor substrate with which the circuit element was formed, and its mechanical strength is stronger than the detached core 12 for a move.

[0195] Formation of a high concentration dope layer is good also by adding this impurity to high concentration in an epitaxial grown method, and good also by the solid phase diffusion method which make stick the diffusion from the gaseous phase by adding the gas which contains an impurity in a heat treatment ambient atmosphere, and the solid-state containing an impurity to a front face, heat-treats, and the 2nd substrate is made to diffuse.

[0196] In STEP604, the thickness adjustment layer 23 for making into the thickness of arbitration thickness of the final substrate with which the circuit element was formed on the high concentration dope layer 622 (single crystal Si substrate 21), or a chip is formed. Thereby, the 2nd substrate 620 which has the thickness adjustment layer 23 on the detached core 522 for thinning is obtained. As a thickness adjustment layer 23, although silicon layers, such as single crystal silicon, are suitable, you may be the layer which consisted of other ingredients, for example.

[0197] The 2nd substrate may not be limited to a single crystal Si substrate, for example, may be a sapphire substrate, a polycrystal Si substrate, etc. That is, if the 2nd substrate is the member which can form the separation section for a move, it is good anything.

[0198] Subsequently, in STEP605, the 1st substrate 610 pass STEP602, and the 2nd substrate 620 pass STEP604 are combined at a room temperature, as an insulating layer 14 is inserted (bonding), and the joint substrate 630 is created.

[0199] In addition, an insulating layer 14 may be formed in the single crystal Si layer 13 side as mentioned above, may be formed on the 2nd substrate 620, may be formed in both, and as a result, when combining the 1st substrate and 2nd substrate, it should just be in the condition which shows in drawing 6 A. However,

since the junction interface of the 1st substrate 610 and the 2nd substrate 620 can be kept away from a barrier layer by forming an insulating layer 14 in the semi-conductor layer (for example, single crystal Si layer) 13 side used as a barrier layer as mentioned above, semi-conductor substrates, such as a more nearly high-definition SOI substrate, can be obtained.

[0200] Here, after combining a substrate 610 and a substrate 620, it is desirable to carry out processing which strengthens both association. The processing which heat-treats on condition that $1N_2$ ambient atmosphere, 1100 degrees C, and 10min, and heat-treats as an example of this processing on condition that $2O_2/H_2$ ambient atmosphere, 1100 degrees C, and 50 - 100min, for example (oxidation treatment) is suitable. In addition to this processing, it may replace with this processing and anode plate junction processing and/or pressure treatment may be carried out.

[0201] Subsequently, in STEP606, a mechanical strength separates the joint substrate 630 in the porous layer 12 as a brittle detached core for a move. How to make the pressure of a fluid act on a porous layer 12 as the separation approach of a joint substrate here for example For example, (the approach of driving a fluid into a porous layer 12, the method of impressing the static pressure of a fluid to a porous layer 12), etc., How to pull both substrates of each other to an opposite direction, as the force is added in the perpendicular direction to a porous layer 12, the approach (for example, the method of moving both substrates of each other to an opposite direction in a field parallel to a joint interface --) of applying shearing stress in parallel to a porous layer 12 How to make an opposite direction rotate both substrates as the force joins a circumferencial direction etc., The approach of pressurizing in the perpendicular direction to a joint interface, the method of impressing wave energies, such as a supersonic wave, to a porous layer 12, How to insert the member for exfoliation (for example, a sharp blade like a knife) from the side-face side of a joint substrate in parallel with a joint interface to a porous layer 12, By making the approach and porous layer 12 using the expansion energy of the matter into

which the porous layer 12 was infiltrated oxidize thermally from the side face of a joint substrate. There are an approach of carrying out cubical expansion of this porous layer 12, the approach of etching alternatively the porous layer 12 which functions as an isolation region from the side face of a joint substrate, and separating, etc.

[0202] STEP607 is a process carried out if needed, when porous layer 12a remains on the single crystal Si substrate 11 of 1st substrate 610' after separation. At this process, heat treatment in the reducing atmosphere containing etching, polish, grinding, and hydrogen etc. removes residual porous layer 12a. Of course, the case where there is no residue, when very few, or when not becoming a problem in a back process, it is not necessary to necessarily carry out a removal process. Thus, the single crystal Si substrate 11 obtained may be used as the single crystal silicon substrate 11 as the 1st substrate, or a single crystal silicon substrate 21 as the 2nd substrate.

[0203] STEP608 is a process carried out if needed, when porous layer 12b remains on 2nd [after separation] substrate 620'. At this process, heat treatment in the reducing atmosphere containing etching, polish, grinding, and hydrogen etc. removes residual porous layer 12b. Of course, the case where there is no residue, when very few, or when not becoming a problem in a back process, it is not necessary to necessarily carry out a removal process. Thus, the semi-conductor substrate 640 is manufactured. The semi-conductor substrate 640 is a substrate corresponding to thinning in which thins easily and it deals by dissociating in the detached core 622 for thinning, after forming a circuit element.

[0204] A circuit element is made from STEP609 to the semi-conductor substrate 640. When it explains briefly, this process includes the process which forms a component isolation region and an active region on the semi-conductor substrate 640, and forms the integrated circuit 41 including circuit elements, such as a transistor, or wiring in an active region. About the more detailed example of this process, it mentions later.

[0205] In STEP610, a mechanical strength separates the semi-conductor

substrate 650 with which the integrated circuit 41 was formed in the high concentration dope layer 622 as a brittle detached core for thinning. Thereby, the semi-conductor substrate 250 thins. It depends for the thickness of the semi-conductor substrate 651 after thinning on the thickness of the thickness adjustment layer 23. Namely, what is necessary is just to adjust the thickness of the thickness adjustment layer 23 in STEP604 in consideration of the thickness demanded in a final semi-conductor substrate.

[0206] How to make the pressure of a fluid act on the high concentration dope layer 622 as the separation approach of a semi-conductor substrate for example For example, (the approach of driving a fluid into the high concentration dope layer 622, the method of impressing the static pressure of a fluid to the high concentration dope layer 622), etc., How to pull both substrates of each other to an opposite direction, as the force is added in the perpendicular direction to the high concentration dope layer 622, How to apply shearing stress in parallel to the high concentration dope layer 622 for example, the method of moving both substrates of each other to an opposite direction in a field parallel to a joint interface -- How to make an opposite direction rotate both substrates as the force joins a circumferencial direction etc., There are an approach of pressurizing in the perpendicular direction to a joint interface, the approach of inserting the member for exfoliation (for example, a sharp blade like a knife) from the side-face side of a joint substrate in parallel with a joint interface to the high concentration dope layer 622, etc. Since this separation process has the stress concentration by the impurity being doped by the thinning separation section at high concentration, it is because it dissociates preferentially in the thinning separation section which starts when the external force for separation acts.

[0207] STEP611 is a process carried out if needed, when the high concentration dope layer 622 remains to the semi-conductor substrate 51 after thinning. At this process, etching, polish, grinding, etc. remove residual high concentration dope layer 622a.

[0208] STEP612 is a process carried out if needed, when high concentration

dope layer 622b remains on the single crystal Si substrate 21 as the 2nd substrate after separation. At this process, etching, polish, grinding, etc. remove residual high concentration dope layer 622b. Of course, the case where there is no residue, when very few, or when not becoming a problem in a back process, it is not necessary to necessarily carry out a removal process. Thus, the single crystal Si substrate 21 obtained may be used as the single crystal silicon substrate 11 as the 1st substrate, or a single crystal silicon substrate 21 as the 2nd substrate.

[0209] [Gestalt of the 8th operation] drawing 8 A thru/or drawing 8 C are drawings showing typically the manufacture approach of the semiconductor device of the gestalt operation of the 8th of this invention.

[0210] First, in STEP701, the single crystal Si substrate 11 is prepared as the 1st substrate (prime wafer or seed wafer) or member, and an insulating layer (for example, SiO two-layer) 14 is formed on the main front face.

[0211] Subsequently, in STEP702, the hydrogen ion impregnation layer 112 is formed by pouring a hydrogen ion into the predetermined depth of the single crystal Si substrate 11 with which the insulating layer 14 was formed. This hydrogen ion impregnation layer 112 functions as a detached core for a move. According to this process, the single crystal Si layer 113 as a semi-conductor layer remains between an insulating layer 14 and the hydrogen ion impregnation layer 112.

[0212] Here, it may replace with a hydrogen ion and nitrogen and rare gas ion may be poured in. As ion-implantation, plasma immersion ion-implantation (for example, indicated by the international public presentation number WO 98/No. 52216 official report) is employable, for example.

[0213] In addition, in STEP701, it can also be made into the semi-conductor layer 14 in advance of formation of an insulating layer 14 by forming Si layers, such as a single crystal Si layer, a polycrystal Si layer, and an amorphous Si layer, germanium layer, a SiGe layer, a SiC layer, C layer, a GaAs layer, a GaN layer, an AlGaAs layer, the InGaAs layer, the InP layer, the InAs layer, the SiGe layer /

distortion Si layer, etc.

[0214] Subsequently, in STEP703, the 1st substrate 710 pass STEP702, and the 2nd substrate 21 prepared separately are combined at a room temperature, as an insulating layer 14 is inserted (bonding), and the joint substrate 730 is created. Then, you may process for strengthening association.

[0215] Subsequently, in STEP704, a mechanical strength separates the joint substrate 730 in the hydrogen ion impregnation layer 112 as a brittle detached core for a move. Here, as the separation approach of a joint substrate, heat treatment is the most desirable, for example. By heat-treating, it is known that the minute cavity of a large number which exist potentially in the ion-implantation layer 112 will condense. Such a layer is called for example, a microporosity layer (micro-cavity layer).

[0216] In addition, the method of replacing with the above-mentioned heat treatment and making the pressure of a fluid act on the hydrogen ion impregnation layer 112 For example, (the approach of driving a fluid into the hydrogen ion impregnation layer 112, the method of impressing the static pressure of a fluid to the hydrogen ion impregnation layer 112), etc., How to pull both substrates of each other to an opposite direction, as the force is added in the perpendicular direction to the hydrogen ion impregnation layer 112, How to apply shearing stress in parallel to the hydrogen ion impregnation layer 112 for example, the method of moving both substrates of each other to an opposite direction in a field parallel to a joint interface -- How to make an opposite direction rotate both substrates as the force joins a circumferencial direction etc., The approach of pressurizing in the perpendicular direction to a joint interface, the method of impressing wave energies, such as a supersonic wave, to the hydrogen ion impregnation layer 112, The approach of inserting the member for exfoliation (for example, a sharp blade like a knife) in parallel with a joint interface from the side-face side of a joint substrate and the approach of etching alternatively the porous layer 112 which functions as an isolation region from the side face of a joint substrate, and separating can also be adopted to hydrogen

ion impregnation **** 112.

[0217] STEP705 is a process carried out if needed, when hydrogen ion impregnation layer 112a remains on the single crystal Si substrate 11 of 1st substrate 710' after separation. At this process, residual hydrogen ion impregnation layer 112a is removed at least by a kind of approach chosen from heat treatment in the reducing atmosphere containing etching, polish, grinding, and hydrogen etc. Of course, the case where there is no residue, when very few, or when not becoming a problem in a back process, it is not necessary to necessarily carry out a removal process. Thus, the single crystal Si substrate 11 obtained may be used as the single crystal silicon substrate 11 as the 1st substrate, or a single crystal silicon substrate 21 as the 2nd substrate.

[0218] STEP705 is a process carried out if needed, when hydrogen ion impregnation layer 112b remains on 2nd [after separation] substrate 720'. At this process, heat treatment in the reducing atmosphere containing etching, polish, grinding, and hydrogen etc. removes residual hydrogen ion impregnation layer 112b. Of course, the case where there is no residue, when very few, or when not becoming a problem in a back process, it is not necessary to necessarily carry out a removal process. Thus, the semi-conductor substrate 740 is manufactured.

[0219] In STEP707, the hydrogen ion impregnation layer 722 as a detached core for thinning is formed by injecting a hydrogen ion into the semi-conductor substrate 740. Typically, although the hydrogen ion impregnation layer 722 is formed into the single crystal Si substrate 21, it may be formed in the inside of an insulating layer 14, or the interface of an insulating layer 14 and the single crystal Si substrate 21. In drawing 8 B, the hydrogen ion impregnation layer 722 is formed into the single crystal Si substrate 21, and, thereby, single crystal Si layer 21a is formed on the hydrogen ion impregnation layer 722.

[0220] Here, it may replace with a hydrogen ion and nitrogen and rare gas ion may be poured in. As ion-implantation, plasma immersion ion-implantation (for example, indicated by the international public presentation number WO 98/No.

52216 official report) is employable, for example.

[0221] Thus, the formed semi-conductor substrate 750 is a substrate corresponding to thinning in which thins easily and it deals by dissociating in the detached core 722 for thinning, after forming a circuit element.

[0222] A circuit element is made from STEP708 to the semi-conductor substrate 750. When it explains briefly, this process includes the process which forms a component isolation region and an active region on the semi-conductor substrate 750, and forms the integrated circuit 41 including circuit elements, such as a transistor, or wiring in an active region. About the more detailed example of this process, it mentions later.

[0223] In STEP709, a mechanical strength separates the semi-conductor substrate 760 with which the integrated circuit 41 was formed in the hydrogen ion impregnation layer 722 as a brittle detached core for thinning. Thereby, the semi-conductor substrate 750 thins. Here, as the separation approach of a joint substrate, heat treatment is the most desirable, for example. By heat-treating, it is known that the minute cavity of a large number which exist potentially in the ion-implantation layer 722 will condense. Such a layer is called for example, a microporosity layer (micro-cavity layer). With the gestalt of this operation, since the hydrogen ion impregnation layer 722 as a detached core for thinning is formed after a transfer process (STEP5 and STEP6) is completed, a semi-conductor substrate does not dissociate by the detached core for thinning into a transfer process.

[0224] In addition to this as the separation approach of a semi-conductor substrate, for example, the method of making the pressure of a fluid act on the hydrogen ion impregnation layer 722 For example, (the approach of driving a fluid into the hydrogen ion impregnation layer 722, the method of impressing the static pressure of a fluid to the hydrogen ion impregnation layer 722), etc., How to pull both substrates of each other to an opposite direction, as the force is added in the perpendicular direction to the ion-implantation layer 722, How to apply shearing stress in parallel to the ion-implantation layer 722 for example, the

method of moving both substrates of each other to an opposite direction in a field parallel to a joint interface -- How to make an opposite direction rotate both substrates as the force joins a circumferential direction etc., The approach of pressurizing in the perpendicular direction to a joint interface, the method of impressing wave energies, such as a supersonic wave, to the hydrogen ion impregnation layer 722, There is the approach of inserting the member for exfoliation (for example, a sharp blade like a knife) from the side-face side of a joint substrate in parallel with a joint interface to the hydrogen ion impregnation layer 722 etc.

[0225] STEP710 is a process carried out if needed, when hydrogen ion impregnation layer 722a remains at the rear face of the semi-conductor substrate 761 after thinning. At this process, heat treatment in the reducing atmosphere containing etching, polish, grinding, and hydrogen etc. removes residual hydrogen ion impregnation layer 722a.

[0226] STEP711 is a process carried out if needed, when hydrogen ion impregnation layer 722b remains on the single crystal Si substrate 21 as the 2nd substrate after separation. At this process, heat treatment in the reducing atmosphere containing etching, polish, grinding, and hydrogen etc. removes residual hydrogen ion impregnation layer 722b. Of course, the case where there is no residue, when very few, or when not becoming a problem in a back process, it is not necessary to necessarily carry out a removal process. Thus, the single crystal Si substrate 21 obtained may be used as the single crystal silicon substrate 11 as the 1st substrate, or a single crystal silicon substrate 21 as the 2nd substrate.

[0227] [the gestalt of the 9th operation] -- the gestalt of this operation -- SIMOX -- the semi-conductor substrate formed of law is prepared, by injecting ion, such as hydrogen, into this semi-conductor substrate, the ion-implantation layer as a detached core for thinning is formed, a circuit element is made and this semi-conductor substrate is divided into this semi-conductor substrate in the ion-implantation layer as a detached core for thinning after that.

[0228] In addition, the semi-conductor substrate formed by the SIMOX method has a configuration almost similar to the semi-conductor substrate 740 explained in the gestalt of the 8th operation. That is, the semi-conductor substrate which has the single crystal Si layer 113 on an insulating layer 14 is obtained also by the SIMOX method. However, it is known rather than the SOI substrate formed by the joining-together method (lamination method) for separating it after the SOI substrate formed by the SIMOX method combines two substrates, and obtaining a SOI substrate that the quality of an embedding insulator layer is bad.

[0229] Moreover, it may replace with a SIMOX substrate and other SOI substrates may be adopted.

[0230] The concrete procedure of the gestalt of this operation is as being shown in STEP706-STEP710 of drawing 8 B and drawing 8 C.

[0231] [the gestalt of the 10th operation] -- with the gestalt of this operation So that the 1st substrate containing a transfer layer and the 2nd substrate may be combined, a joint substrate may be produced and this transfer layer may remain in the 2nd substrate after that The semi-conductor substrate which has SOI structure by the grinding method which carries out grinding of this joint substrate from a 1st substrate side is produced. By injecting ion, such as hydrogen, into this semi-conductor substrate, the ion-implantation layer as a detached core for thinning is formed, a circuit element is made to this semi-conductor substrate, and this semi-conductor substrate is divided into it in the ion-implantation layer as a detached core for thinning after that.

[0232] In addition, the semi-conductor substrate formed by the grinding method has a configuration almost similar to the semi-conductor substrate 740 explained in the gestalt of the 8th operation. That is, the semi-conductor substrate which has the single crystal Si layer 113 on an insulating layer 14 is obtained also by the grinding method.

[0233] The concrete procedure of the gestalt of this operation is as being shown in STEP706-STEP710 of drawing 8 B and drawing 8 C.

[0234] The example of the device process in the above-mentioned STEP9 grade

is explained below [the example of a device process].

[0235] Drawing 9 is drawing showing the device process concerning the gestalt of suitable operation of this invention. First, the semi-conductor substrate which has a detached core for thinning is prepared. Drawing 9 is the example for which the semi-conductor substrate shown in drawing 1 B as a semi-conductor substrate was prepared.

[0236] First, active-region 13' and the component isolation region 54 which should form a transistor are formed by the approach of carrying out patterning of the semi-conductor layer 13 on the embedding insulator layer 14 (SOI layer) to island shape, or the oxidizing method called LOCOS (refer to drawing 9 (a)).

[0237] Subsequently, gate dielectric film 56 is formed in the front face of a SOI layer (refer to drawing 9 (a)). As an ingredient of gate dielectric film 56, silicon oxide, silicon nitride, oxidization silicon nitride, an aluminum oxide, tantalum oxide, an oxidization hafnium, titanium oxide, scandium oxide, an oxidization yttrium, an oxidization gadolinium, lanthanum oxide, zirconium dioxides, these mixture glass, etc. are suitable, for example. Gate oxide 56 may be formed by oxidizing the front face of for example, a SOI layer, or making the matter which corresponds to the front face of a SOI layer by the CVD method or PVD deposit.

[0238] Subsequently, the gate electrode 55 is formed on gate dielectric film 56 (refer to drawing 9 (a)). The gate electrode 55 may consist of metal nitrides, such as metal silicides, such as an alloy containing metals, such as polycrystalline silicon with which P type or an N type impurity was doped, and a tungsten, molybdenum, titanium, a tantalum, aluminum, copper, or these at least one sort, and molybdenum silicide, tungsten silicide, cobalt silicide, and titanium nitride RAIDO, tungsten nitride RAIDO, tantalum nitride RAIDO, etc. Gate dielectric film 56 carries out the laminating of two or more layers which consist of a mutually different ingredient like for example, the polycide gate, and may be formed. The gate electrode 55 may be formed by the approach called Salicide (self aryne silicide), may be formed by the approach called a DAMASHIN gate process, and may be formed by other approaches. The structure shown in drawing 9 (a)

according to the above process is obtained.

[0239] Subsequently, the comparatively low-concentration source and the drain field 58 are formed by introducing P type impurities, such as N type impurities, such as phosphorus, arsenic, and antimony, or boron, into active-region 13' (refer to drawing 9 (b)). An impurity can be introduced by ion implantation, heat treatment, etc.

[0240] Subsequently, as the gate electrode 55 is covered, after forming an insulator layer, a sidewall 59 is formed in the flank of the gate electrode 59 by carrying out etchback of this.

[0241] Subsequently, the impurity of the same conductivity type as the above is again introduced into active-region 13', and the comparatively high-concentration source and the drain field 57 are formed. The structure shown in drawing 9 (b) according to the above process is obtained.

[0242] Subsequently, the metal silicide layer 60 is formed in the top face of the source and the drain field 57 at the top-face list of the gate electrode 55. As an ingredient of the metal silicide layer 60, nickel silicide, titanium silicide, cobalt silicide, molybdenum silicide, tungsten silicide, etc. are suitable, for example. Such silicides can be formed by removing an unreacted part by etchant, such as a sulfuric acid, among these metals, after making this metal and the silicon of the lower part react by making a metal deposit so that the top face of the source and the drain field 57 may be covered in the top-face list of the gate electrode 55, and performing heat treatment after that. Here, the front face of a silicide layer may be nitrided if needed. The structure shown in drawing 9 (c) according to the above process is obtained.

[0243] Subsequently, an insulator layer 61 is formed so that the top face of the source and a drain field may be covered in the top-face list of the silicide-ized gate electrode (refer to drawing 9 (d)). As an ingredient of an insulator layer 61, the silicon oxide containing phosphorus and/or boron etc. is suitable.

[0244] Subsequently, a contact hole is formed in an insulator layer 61 by the CMP method if needed. If the photolithography technique using KrF excimer

laser, ArF excimer laser, F2 excimer laser, an electron beam, an X-ray, etc. is applied, one side can form a contact hole with a rectangle of less than 0.25 microns, and a diameter can form a less than 0.25-micron circular contact hole. [0245] Subsequently, it is filled up with a conductor in a contact hole. After forming the film of the refractory metal used as the barrier metal 62, or its nitride in the wall of a contact hole as the restoration approach of a conductor, the method of making the conductors 63, such as a tungsten alloy, aluminum, an aluminium alloy, copper, and a copper alloy, deposit using a CVD method, PVD, the galvanizing method, etc. is suitable. Here, the conductor deposited more highly than the top face of an insulator layer 61 may be removed by the etchback method or the CMP method. Moreover, in advance of restoration of a conductor, the front face of the silicide layer of the source exposed to the pars basilaris ossis occipitalis of a contact hole and a drain field may be nitrided. Transistors, such as FET, can be made in a SOI layer according to the above process, and the semiconductor device which has the transistor of the structure shown in drawing 9 (d) is obtained.

[0246] Here, if it determines that the depletion layer which impresses an electrical potential difference to a gate electrode, and spreads under gate dielectric film embeds, and the thickness and high impurity concentration of barrier layer (SOI layer) 13' reach the top face of an insulator layer 14, the formed transistor will operate as a perfect depletion mold transistor. Moreover, if it determines that a depletion layer embeds and the thickness and high impurity concentration of barrier layer (SOI layer) 13' do not reach the top face of an oxide film 14, the formed transistor will operate as a partial depletion mold transistor.

[0247]

[Effect of the Invention] According to this invention, the semi-conductor member (especially thin semi-conductor member) of the thickness of the arbitration which has the semi-conductor layer in which the circuit element was formed on an insulating layer can be manufactured.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1 A] **

[Drawing 1 B] It is drawing showing typically the manufacture approach of the semiconductor device of the gestalt operation of the 1st of this invention.

[Drawing 2 A] **

[Drawing 2 B] It is drawing showing typically the manufacture approach of the semiconductor device of the gestalt operation of the 2nd of this invention.

[Drawing 3 A] **

[Drawing 3 B] It is drawing showing typically the manufacture approach of the semiconductor device of the gestalt operation of the 3rd of this invention.

[Drawing 4 A] **

[Drawing 4 B] It is drawing showing typically the manufacture approach of the semiconductor device of the gestalt operation of the 4th of this invention.

[Drawing 5 A] **

[Drawing 5 B] It is drawing showing typically the manufacture approach of the semiconductor device of the gestalt operation of the 5th of this invention.

[Drawing 6 A] **

[Drawing 6 B] It is drawing showing typically the manufacture approach of the

semiconductor device of the gestalt operation of the 6th of this invention.

[Drawing 7 A] **

[Drawing 7 B] It is drawing showing typically the manufacture approach of the semiconductor device of the gestalt operation of the 7th of this invention.

[Drawing 8 A] **

[Drawing 8 B] **

[Drawing 8 C] It is drawing showing typically the manufacture approach of the semiconductor device of the gestalt operation of the 8th of this invention.

[Drawing 9] It is drawing showing the device process concerning the gestalt of suitable operation of this invention.

[Drawing 10] It is the sectional view of the semi-conductor member in one production process of a semiconductor device.

[Translation done.]

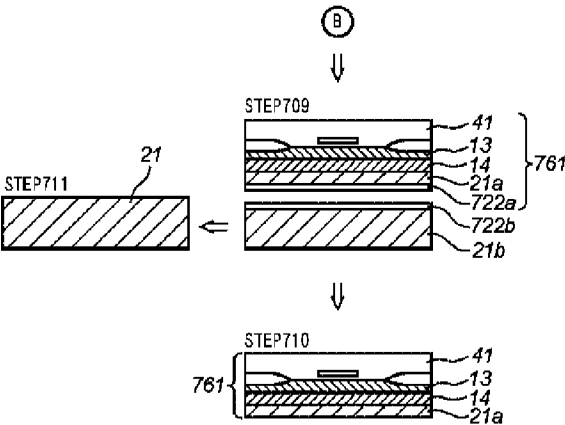
* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

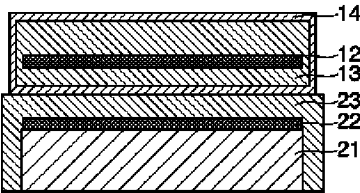
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

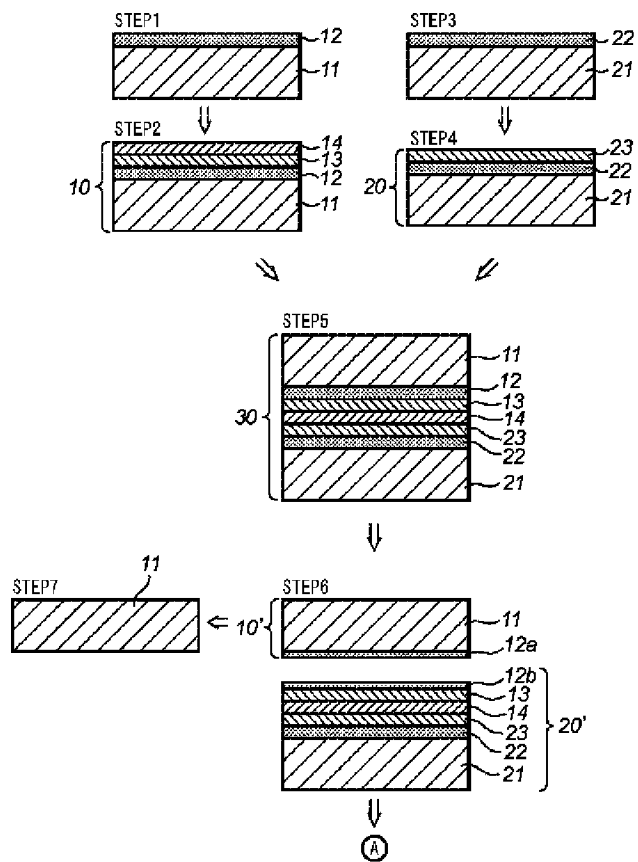
[Drawing 8 C]



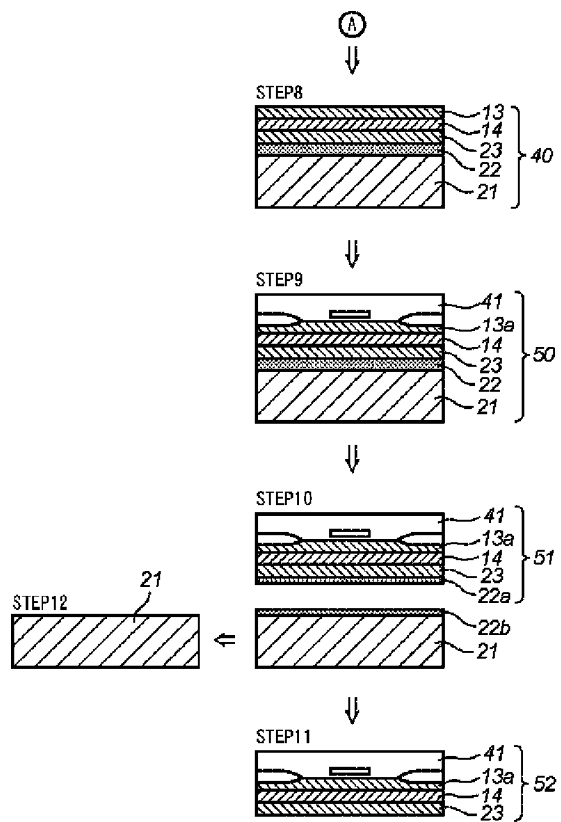
[Drawing 10]



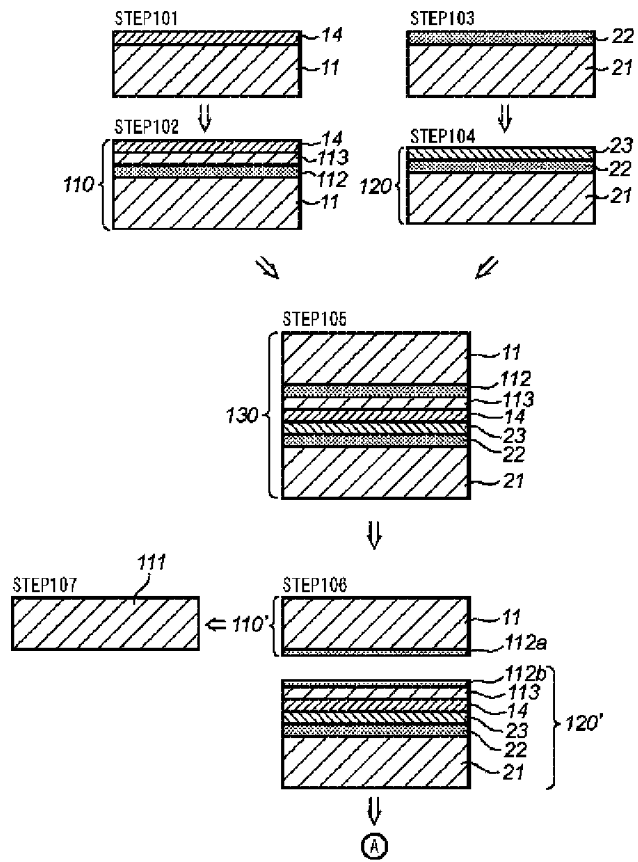
[Drawing 1 A]



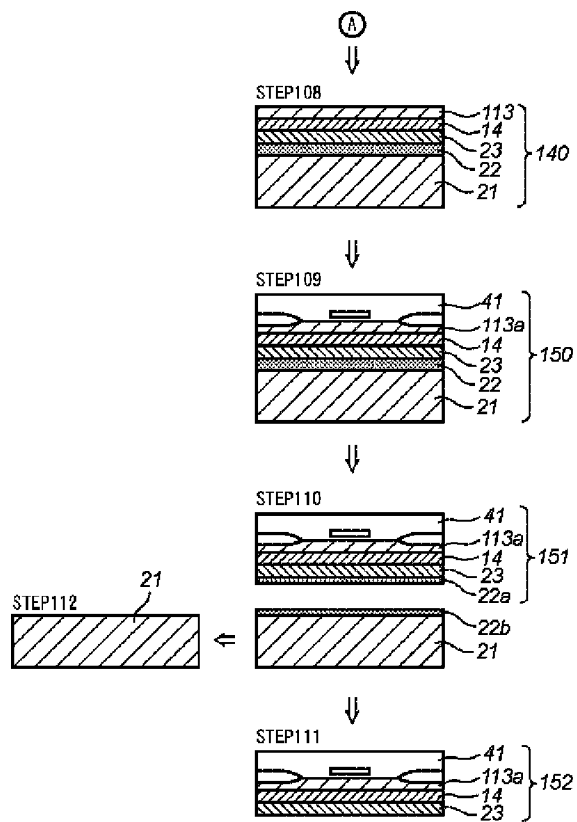
[Drawing 1 B]



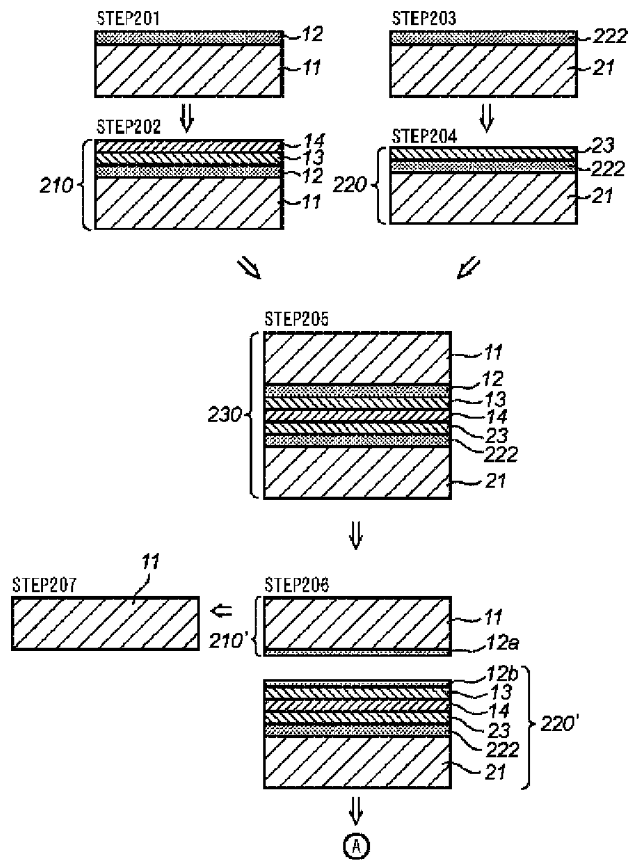
[Drawing 2 A]



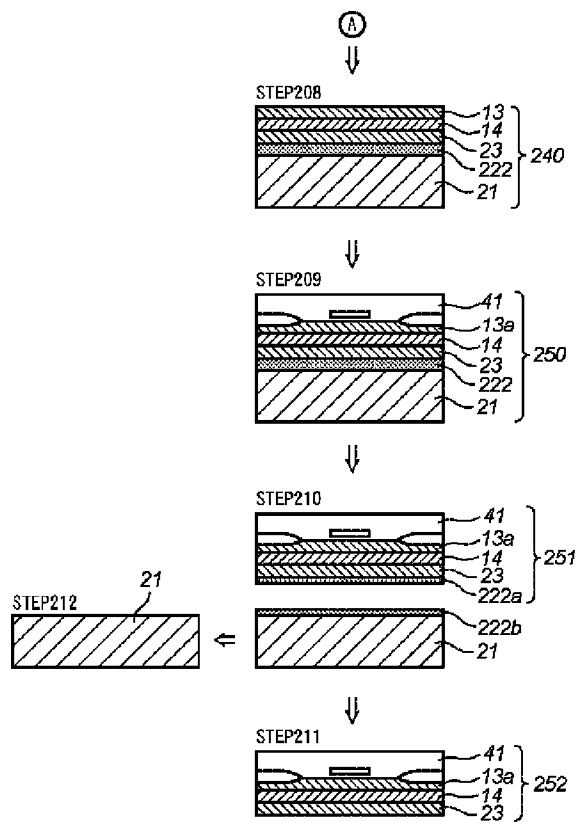
[Drawing 2 B]



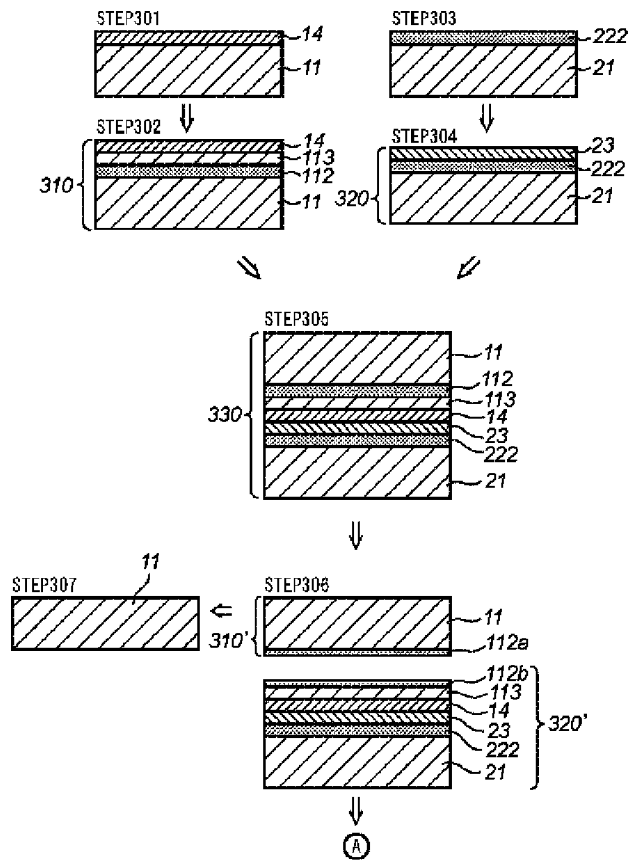
[Drawing 3 A]



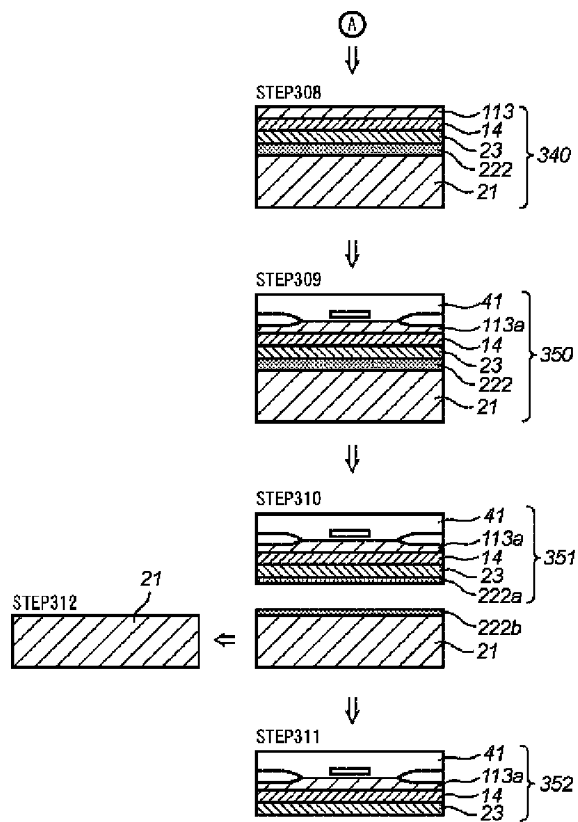
[Drawing 3 B]



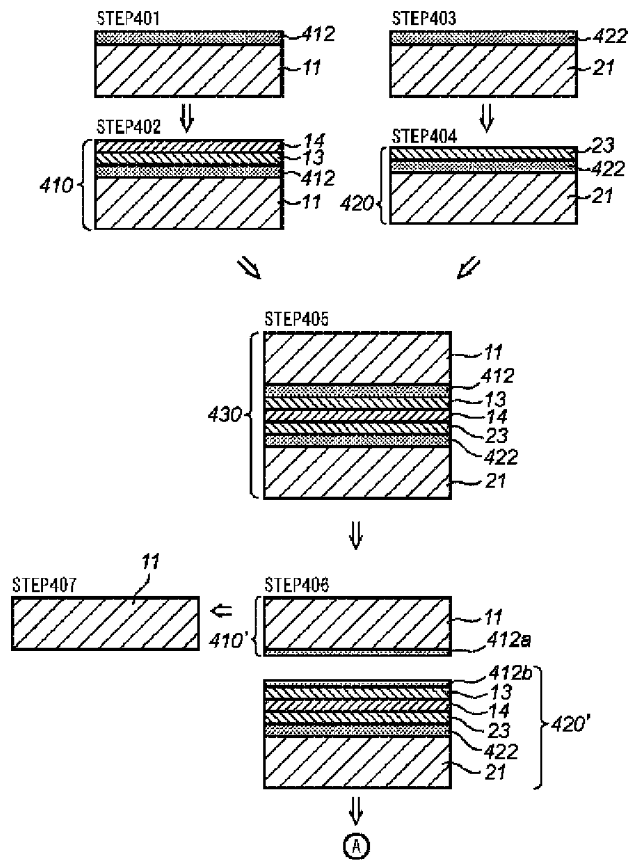
[Drawing 4 A]



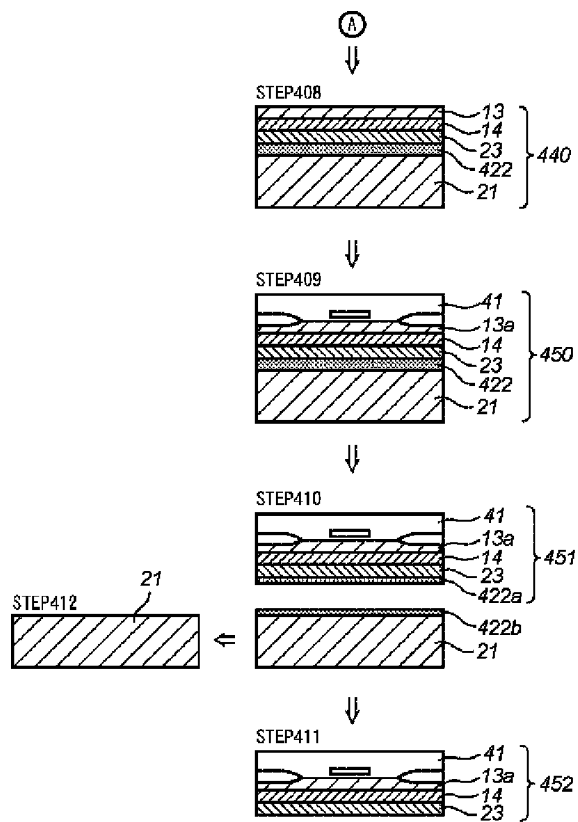
[Drawing 4 B]



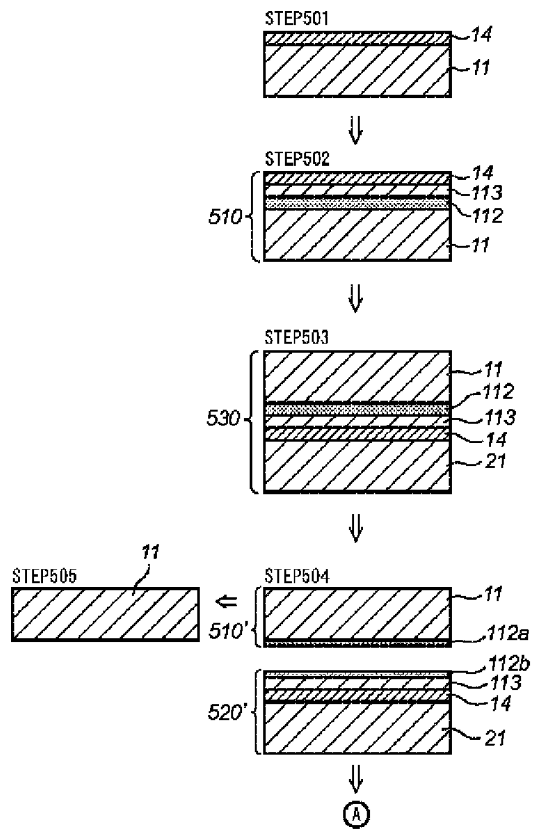
[Drawing 5 A]



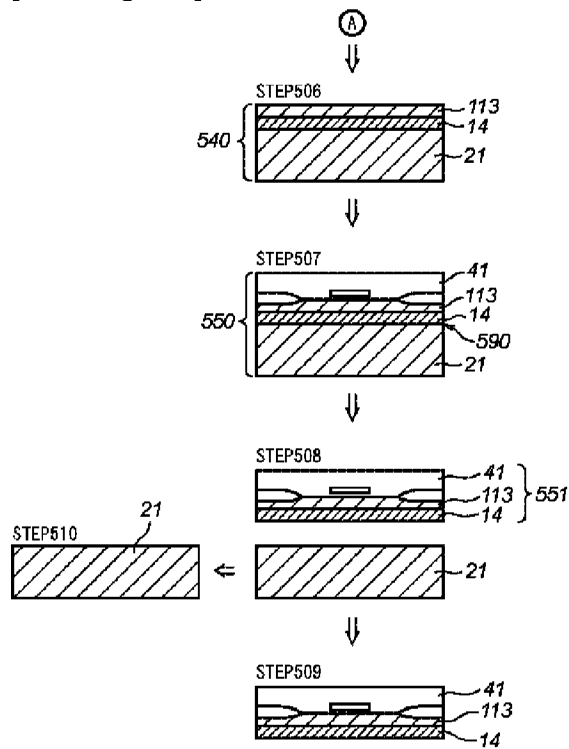
[Drawing 5 B]



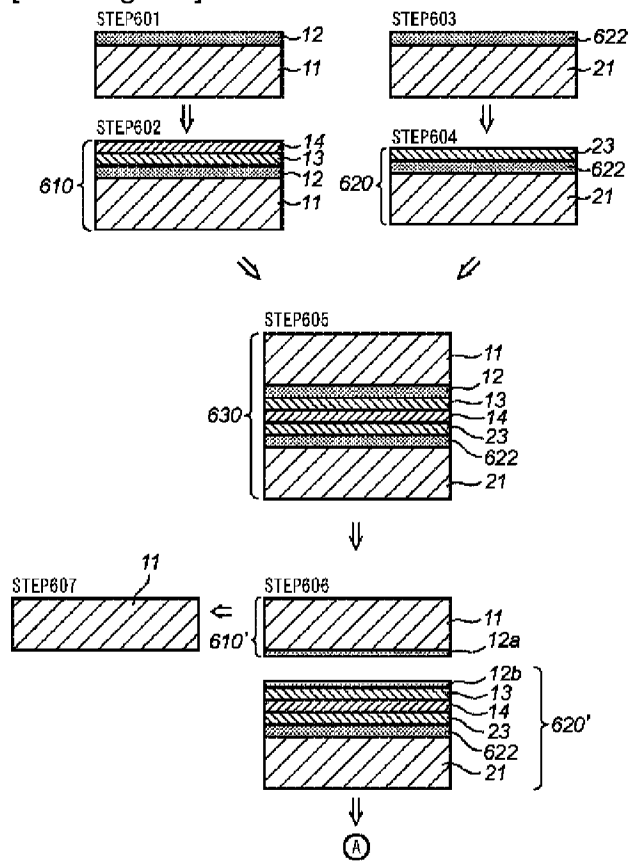
[Drawing 6 A]



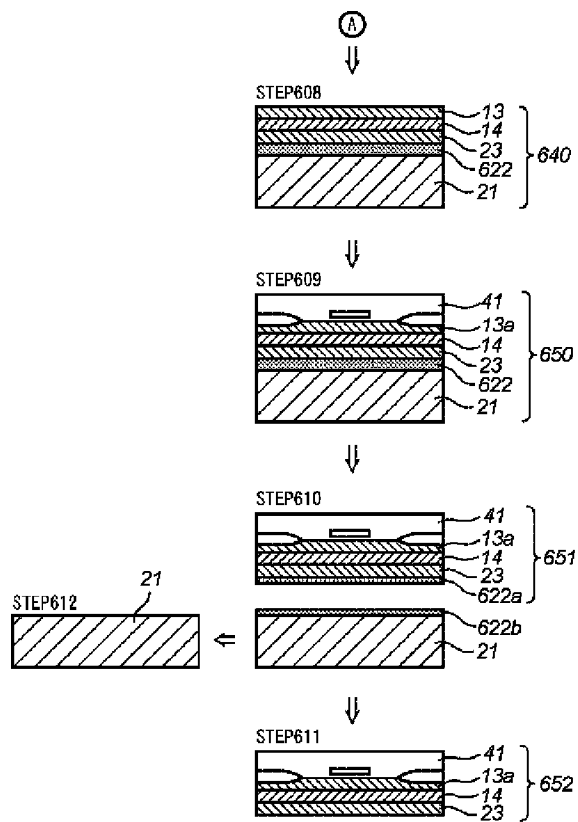
[Drawing 6 B]



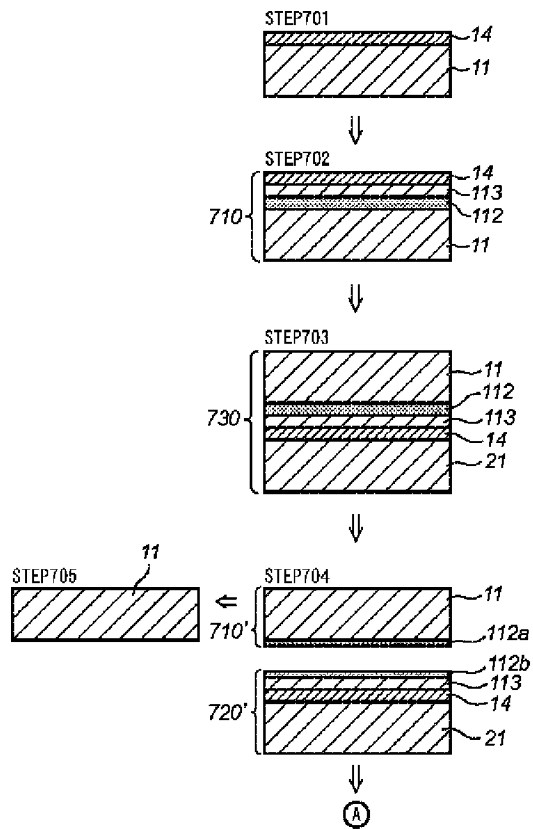
[Drawing 7 A]



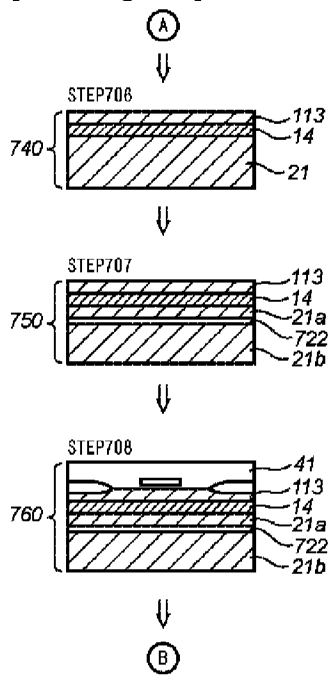
[Drawing 7 B]



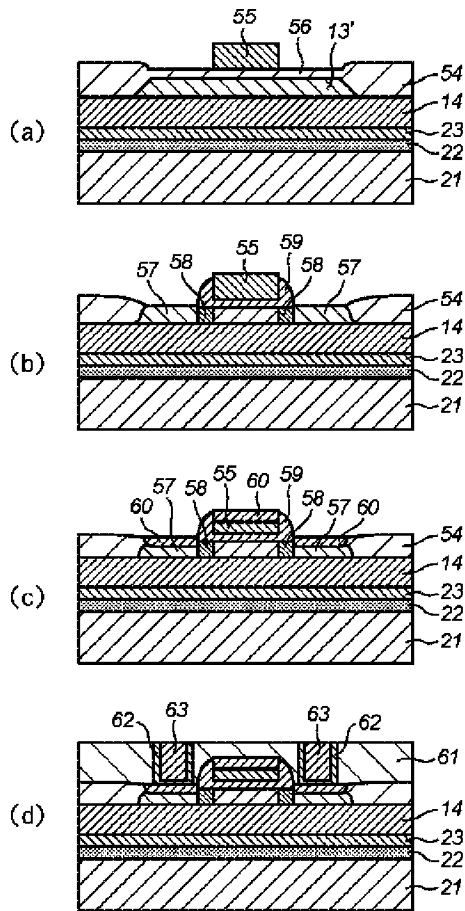
[Drawing 8 A]



[Drawing 8 B]



[Drawing 9]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-78117
(P2003-78117A)

(43) 公開日 平成15年3月14日 (2003.3.14)

(51) Int.Cl. ⁷	識別記号	F I	サーチコード* (参考)
H 0 1 L 27/12		H 0 1 L 27/12	B 5 F 0 3 2
21/02		21/02	B 5 F 0 5 2
21/20		21/20	5 F 1 1 0
21/336		21/76	D
21/762		29/78	6 2 7 D
審査請求 未請求 請求項の数50 O L (全 29 頁) 最終頁に続く			

(21) 出願番号 特願2001-264673 (P2001-264673)

(22) 出願日 平成13年8月31日 (2001.8.31)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 佐藤 信彦

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 100076428

弁理士 大塚 康徳 (外3名)

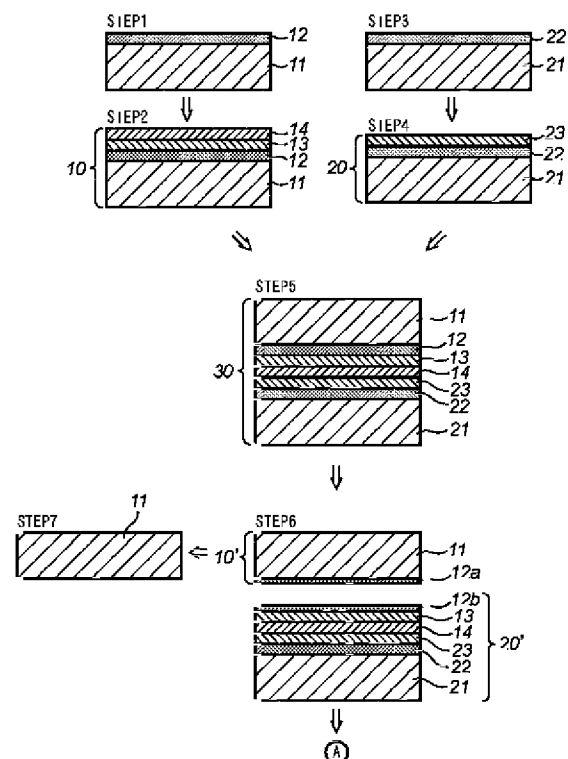
最終頁に続く

(54) 【発明の名称】 半導体部材及び半導体装置並びにそれらの製造方法

(57) 【要約】

【課題】回路素子が形成された半導体層を絶縁層の上に有する任意の厚さの半導体部材（特に、薄い半導体部材）を製造するために好適な技術を提供する。

【解決手段】移設用分離層としての多孔質層12上に移設層としての単結晶Si層13及び絶縁層14を有する第1の基板10と、薄化用分離層としての多孔質層22上に単結晶Si層23を有する第2の基板20とを結合させて結合部材30を形成し、その後、結合基板30を多孔質層12において分離して半導体部材20'を作製する。半導体部材20'の単結晶Si層13上に回路素子を形成した後、それを多孔質層22において分離することにより薄化する。



【特許請求の範囲】

【請求項1】 半導体装置の製造方法であって、回路素子を形成するための素子層を表面に有し、内部に絶縁層を有し、前記絶縁層の中又は前記絶縁層よりも深い位置に薄化用分離部を有する半導体部材を作製する半導体部材作製工程と、回路素子が形成された前記半導体部材を前記薄化用分離部において分離することにより前記半導体部材を薄化する薄化工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記半導体部材作製工程は、前記素子層とすべき層を有する第1の部材と、第2の部材とを結合させて結合部材を形成する結合工程と、前記結合部材から前記第1の部材の一部を除去して、前記素子層とすべき層を表出させる除去工程と、を含むことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記半導体部材作製工程は、前記第1の部材に結合させる前の前記第2の部材に前記薄化用分離部を予め形成する分離部形成工程を更に含むことを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項4】 前記分離部形成工程では、前記第1の部材に結合させる前の前記第2の部材に、前記薄化用分離部となる多孔質層を予め形成することを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】 前記分離部形成工程では、前記第1の部材に結合させる前の前記第2の部材に、前記薄化用分離部となるヘテロエピタキシャル成長層を予め形成することを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項6】 前記分離部形成工程では、前記第1の部材に結合させる前の前記第2の部材に、前記薄化用分離部となる高濃度ドーパ層を予め形成することを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項7】 前記薄化用分離部は、前記第1の部材と前記第2の部材との結合界面を含むことを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項8】 前記半導体部材作製工程は、前記除去工程の後に、前記結合部材に前記薄化用分離部を形成する分離部形成工程を更に含むことを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項9】 前記分離部形成工程では、前記結合部材にイオンを注入することにより前記薄化用分離部を形成することを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】 前記除去工程では、前記第1の部材に予め形成されている移設用分離部において前記結合部材を分離することを特徴とする請求項2乃至請求項9のいずれか1項に記載の半導体装置の製造方法。

【請求項11】 前記移設用分離部は、多孔質層を含む

ことを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項12】 前記移設用分離部は、イオン注入層を含むことを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項13】 前記半導体部材作製工程では、前記第1の部材と前記第2の部材とを結合させて結合部材を形成し、その後、前記第1の部材に予め形成されている移設用分離部としての多孔質層において前記結合部材を分離することにより、前記半導体部材を作製し、前記薄化工程では、前記薄化用分離部としての多孔質層で前記半導体部材を分離することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項14】 前記半導体部材作製工程では、前記第1の部材と前記第2の部材とを結合させて結合部材を形成し、その後、前記第1の部材に予め形成されている移設用分離部としてのイオン注入層において前記結合部材を分離することにより、前記半導体部材を作製し、前記薄化工程では、薄化用分離部としての多孔質層において前記半導体部材を分離することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項15】 前記半導体部材作製工程では、前記第1の部材と前記第2の部材とを結合させて結合部材を形成し、その後、前記第1の部材に予め形成されている移設用分離部としての多孔質層において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程では、前記薄化用分離部としてのヘテロエピタキシャル成長層において前記半導体部材を分離することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項16】 前記半導体部材作製工程では、前記第1の部材と前記第2の部材とを結合させて結合部材を形成し、その後、前記第1の部材に予め形成されている移設用分離部としてのイオン注入層において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程では、前記薄化用分離部としてのヘテロエピタキシャル成長層において前記半導体部材を分離することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項17】 前記半導体部材作製工程では、前記第1の部材と前記第2の部材とを結合させて結合部材を形成し、その後、前記第1の部材に予め形成されている移設用分離部としてのヘテロエピタキシャル成長層において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程では、前記薄化用分離部としてのヘテロエピタキシャル成長層において前記半導体部材を分離することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項18】 前記半導体部材作製工程では、前記第

1の部材と前記第2の部材とを結合させて結合部材を形成し、その後、前記第1の部材に予め形成されている移設用分離部としてのイオン注入層において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程では、前記薄化用分離部としての、前記第1の部材と前記第2の部材との結合界面で、前記半導体部材を分離することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項19】 前記半導体部材作製工程では、前記第1の部材と前記第2の部材とを結合させて結合部材を形成し、その後、前記第1の部材に予め形成されている移設用分離部としての多孔質層において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程では、前記薄化用分離部としての高濃度ドーパ層において前記半導体部材を分離することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項20】 前記半導体部材作製工程では、前記第1の部材と前記第2の部材とを結合させて結合部材を形成し、その後、前記第1の部材に予め形成されている移設用分離部としてのイオン注入層において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程では、前記薄化用分離部としてのイオン注入層において前記半導体部材を分離することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項21】 前記半導体部材作製工程では、前記薄化用分離部としてのイオン注入層を前記結合部材の分離後に形成することを特徴とする請求項20に記載の半導体装置の製造方法。

【請求項22】 前記半導体部材作製工程では、前記絶縁層が前記第1の部材に酸素イオンを注入することにより形成された半導体部材を形成し、前記薄化工程では、前記薄化用分離部としてのイオン注入層において前記半導体部材を分離することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項23】 前記半導体部材作製工程では、前記薄化用分離部としての水素イオン注入層を前記結合部材の分離後に形成することを特徴とする請求項22に記載の半導体装置の製造方法。

【請求項24】 前記半導体部材作製工程では、前記素子層とすべき層を有する第1の部材と、第2の部材とを結合させて結合部材し、その後、前記結合部材から前記第1の部材の一部を研削により除去することにより、前記半導体部材を作製し、前記薄化工程では、前記薄化用分離部としての、前記第1の部材と第2の界面において、前記半導体部材を分離すること特徴とする請求項1に記載の半導体装置の製造方法。

【請求項25】 前記半導体部材作製工程では、前記第1の部材と前記第2の部材とを結合させて結合部材を形成し、その後、前記第1の部材に予め形成されている移

設用分離部において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程では、前記薄化用分離部において半導体部材を分離し、前記薄化用分離部の外周部は、前記移設用分離部の外周部よりも強度が強いことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項26】 半導体部材の製造方法であって、回路素子を形成するための素子層を有する第1の部材と、分離部を有する第2の部材とを結合させて結合部材を形成する結合工程と、前記素子層が表出するように前記結合部材から前記第1の部材の一部を除去し、これにより、前記結合部材を、前記素子層を表面に有し、内部に絶縁層を有し、前記絶縁層中又は前記絶縁層よりも深い位置に前記分離部を有する半導体部材とする除去工程と、を含み、前記分離部は、前記半導体部材の前記素子層に回路素子が形成された後に前記半導体部材を分離するために利用されることを特徴とする半導体部材の製造方法。

【請求項27】 前記分離部は、多孔質層を含むことを特徴とする請求項26に記載の半導体部材の製造方法。

【請求項28】 前記分離部は、ヘテロエピタキシャル成長層を含むことを特徴とする請求項26に記載の半導体部材の製造方法。

【請求項29】 前記分離部は、高濃度ドーパ層を含むことを特徴とする請求項26に記載の半導体部材の製造方法。

【請求項30】 前記除去工程は、前記第1の部材に予め形成されている多孔質層において前記結合部材を分離する工程を含み、前記分離部は、多孔質層を含むことを特徴とする請求項26に記載の半導体部材の製造方法。

【請求項31】 前記除去工程は、前記第1の部材に予め形成されているイオン注入層において前記結合部材を分離する工程を含み、前記分離部は、多孔質層を含むことを特徴とする請求項26に記載の半導体部材の製造方法。

【請求項32】 前記除去工程は、前記第1の部材に予め形成されている多孔質層において前記結合部材を分離する工程を含み、前記分離部は、ヘテロエピタキシャル成長層を含むことを特徴とする請求項26に記載の半導体部材の製造方法。

【請求項33】 前記除去工程は、前記第1の部材に予め形成されているイオン注入層において前記結合部材を分離する工程を含み、前記分離部は、ヘテロエピタキシャル成長層を含むことを特徴とする請求項26に記載の半導体部材の製造方法。

【請求項34】 前記除去工程は、前記第1の部材に予め形成されているヘテロエピタキシャル成長層において前記結合部材を分離する工程を含み、前記分離部は、ヘテロエピタキシャル成長層を含むことを特徴とする請求項26に記載の半導体部材の製造方法。

【請求項35】 前記除去工程は、前記第1の部材に予め形成されている多孔質層において前記結合部材を分離する工程を含み、前記分離部は、高濃度ドーパ層を含むことを特徴とする請求項26に記載の半導体部材の製造方法。

【請求項36】 前記除去工程は、前記第1の部材に予め形成されているイオン注入層において前記結合部材を分離する工程を含み、前記分離部は、イオン注入層を含むことを特徴とする請求項26に記載の半導体部材の製造方法。

【請求項37】 前記除去工程は、前記第1の部材が有する脆弱構造部において前記結合部材を分離する工程を含み、前記分離部の外周部は、前記脆弱構造部の外周部よりも強度が強いことを特徴とする請求項26に記載の半導体部材の製造方法。

【請求項38】 半導体部材の製造方法であって、回路素子を形成するための素子層を有する第1の部材と、第2の部材とを接合して接合部材を形成する接合工程と、前記素子層が表出するように前記接合部材から前記第1の部材の一部を除去し、これにより、前記接合部材を、前記素子層を表面に有し、内部に絶縁層を有する半導体部材とする除去工程と、前記除去工程を経て得られた前記半導体部材の前記絶縁層中又は前記絶縁層よりも深い位置に分離部を形成する分離部形成工程と、を含み、前記分離部は、前記半導体部材の前記素子層に回路素子が形成された後に前記半導体部材を分離するために利用されることを特徴とする半導体部材の製造方法。

【請求項39】 前記分離部は、イオン注入層を含むことを特徴とする請求項38に記載の半導体部材の製造方法。

【請求項40】 前記除去工程は、前記第1の部材に予め形成されているイオン注入層において前記接合部材を分離する工程を含むことを特徴とする請求項39に記載の半導体部材の製造方法。

【請求項41】 半導体部材の製造方法であって、酸素イオン注入によって形成された絶縁層を内部に有し、回路素子を形成するための素子層を表層に有する半導体部材を準備する準備工程と、前記半導体部材に所定のイオンを注入することにより、前記絶縁層中又は前記絶縁層よりも深い位置に分離部を

形成する分離部形成工程と、を含むことを特徴とする半導体部材の製造方法。

【請求項42】 半導体装置の薄化方法であって、埋め込み絶縁層と、回路素子が形成された回路素子層と、前記埋め込み絶縁層中又はそれよりも深い位置に前記回路素子の形成に先立って形成された分離部とを有する半導体部材を前記分離部において分離することにより、前記半導体部材を薄化することを特徴とする半導体装置の薄化方法。

【請求項43】 半導体装置の製造方法であって、回路素子を形成するための素子層を表面に有し、内部に絶縁層を有し、前記絶縁層の中又は前記絶縁層よりも深い位置に薄化用分離部を有する半導体部材を準備する工程と、前記半導体部材に回路素子を形成する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項44】 半導体装置の製造方法であって、回路素子を形成するための素子層を表面に有し、内部に絶縁層を有し、前記絶縁層の中又は前記絶縁層よりも深い位置に薄化用分離部を有する半導体部材に素子分離領域及び活性領域を形成する工程と、前記活性領域にトランジスタを形成する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項45】 分離された他方の前記半導体部材を、前記回路素子形成用の半導体部材として再利用することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項46】 分離された他方の前記半導体部材を、前記第1又は第2の部材として再利用することを特徴とする請求項26又は38に記載の半導体部材の製造方法。

【請求項47】 絶縁性表面を有する部材と、該部材の絶縁性表面上に形成された回路素子を形成するための素子層と、を有する半導体部材において、前記部材は前記絶縁性表面より下方に薄化用分離部を有することを特徴とする半導体部材。

【請求項48】 請求項26乃至請求項41のいずれか1項に記載の製造方法によって形成されうることを特徴とする半導体部材。

【請求項49】 絶縁性表面を有する部材と、該部材の絶縁性表面上に形成された回路素子層と、を有する半導体装置において、前記部材は前記絶縁性表面より下方に薄化用分離部を有することを特徴とする半導体装置。

【請求項50】 請求項1乃至請求項25のいずれか1項に記載の製造方法によって形成されうることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体部材及び半導体装置並びにそれらの製造方法及び半導体装置の製造方法に関する。

【0002】

【従来の技術】絶縁層上に単結晶Si層を有する基板として、SOI (silicon oninsulator) 構造を有する基板 (SOI 基板) が知られている。このSOI 基板を採用したデバイスは、通常のSi 基板では到達し得ない数々の優位点を有する。この優位点としては、例えば、以下のものが挙げられる。

- (1) 誘電体分離が容易で高集積化に適している。
- (2) 放射線耐性に優れている。
- (3) 浮遊容量が小さく、素子の動作速度の高速化が可能である。
- (4) ウェル工程が不要である。
- (5) ラッチアップを防止できる。
- (6) 薄膜化による完全な空乏型電界効果トランジスタの形成が可能である。

【0003】SOI 構造は、上記のような様々な優位点を有するため、ここ数十年、その形成方法に関する研究が進められている。

【0004】本出願人は、特開平5-21338号公報において、新たなSOI 技術を開示した。この技術は、単結晶Si 基板に多孔質層を形成し、その上に非多孔質層単結晶層を形成した第1の基板を、絶縁層を介して第2の基板に貼り合わせ、その後、貼り合わせ基板を多孔質層で2枚に分離することにより、第2の基板に非多孔質単結晶層を移し取るものである。この技術は、SOI 層の膜厚均一性が優れていること、SOI 層の結晶欠陥密度を低減し得ること、SOI 層の表面平坦性が良好であること、高価な特殊仕様の製造装置が不要であること、数100Å～10μm程度の範囲のSOI 膜を有するSOI 基板を同一の製造装置で製造可能なこと等の点で優れている。

【0005】更に、本出願人は、特開平7-302889号公報において、第1の基板と第2の基板とを貼り合わせた後に、第1の基板を破壊することなく第2の基板から分離し、その後、分離した第1の基板の表面を平滑化して再度多孔質層を形成し、これを再利用する技術を開示した。この技術は、第1の基板を無駄なく使用できるため、製造コストを大幅に低減することができ、製造工程も単純であるという優れた利点を有する。

【0006】一方、半導体チップを内蔵したICカード等の薄型半導体製品が普及しつつある。薄型半導体製品は、ポケットや財布等に入れて携帯されることが多いため、内蔵される半導体チップには相当な柔軟性が求められる。このような柔軟性を得るための最適な解決策は、半導体チップを薄化することである。

【0007】半導体チップの薄化は、三次元積層パッケージを作製するためにも有用である。三次元積層パッケージでは、プロセッサチップやメモリチップ等が積層して混載される。したがって、パッケージ厚を薄くするため、又は、所定厚のパッケージに多数のチップを積層し

て混載するために、チップの薄化が重要となっている。

【0008】薄い半導体チップを製造する方法としては、薄いウエハを準備し、その上に回路素子を形成する方法と、比較的厚いウエハを準備し、その上に回路素子を形成した後にウエハを薄化する方法とがある。ここで、薄いウエハは回路素子を形成するためのデバイスプロセスにおいて破損し易いため、取り扱いが困難である。この問題は、ウエハの大口径化に伴い一層顕在化する。したがって、前者の方法よりも後者の方法が有用であり、一般的には、薄い半導体チップは、回路素子が形成されたウエハの裏面を研削することによって得られる。ここで、ウエハの薄化の前にダイシングを行う方法と、ウエハの薄化の後にダイシングを行う方法がある。

【0009】また、薄い半導体チップを製造する他の方法が特開平9-312349号公報に開示されている。この方法では、半導体基板の表面に多孔質層を形成し、その上に半導体膜を形成し、その半導体膜に回路素子を形成し、その後、回路素子が形成された半導体膜を半導体基体から剥離する。

【0010】

【発明が解決しようとする課題】基板又は半導体チップの薄化の要求は、前述のSOI 基板又はそれを使った半導体チップにも向けられている。しかしながら、上記の特開平9-312349号公報は、回路素子が形成された薄い半導体膜を得る方法については開示しているものの、埋め込み絶縁層上に回路素子が形成された薄い基板又はチップを得る方法については開示していない。

【0011】本発明は、上記の背景に鑑みてなされたものであり、回路素子が形成された半導体層を絶縁層の上に有する任意の厚さの半導体部材 (特に、薄い半導体部材) を製造するために好適な技術を提供することを目的とする。

【0012】本発明の別の目的は、絶縁性表面を有する部材と、該部材の絶縁性表面上に形成された回路素子を形成するための素子層と、を有する半導体部材において、前記部材は前記絶縁性表面より下方に薄化用分離部を有することを特徴とする半導体部材を提供することにある。

【0013】更に別の本発明の目的は、絶縁性表面を有する部材と、該部材の絶縁性表面上に形成された回路素子層と、を有する半導体装置において、前記部材は前記絶縁性表面より下方に薄化用分離部を有することを特徴とする半導体装置を提供することにある。

【0014】

【課題を解決するための手段】本発明の第1の側面は、半導体装置の製造方法に係り、回路素子を形成するための素子層を表面に有し、内部に絶縁層を有し、前記絶縁層の中又は前記絶縁層よりも深い位置に薄化用分離部を有する半導体部材を作製する半導体部材作製工程と、回路素子が形成された前記半導体部材を前記薄化用分離部

において分離することにより前記半導体部材を薄化する薄化工程とを含むことを特徴とする。

【0015】本発明の第1の側面に係る製造方法において、本発明の好適な実施の形態によれば、前記半導体部材作製工程は、前記素子層とすべき層を有する第1の部材と、第2の部材とを結合させて結合部材を形成する結合工程と、前記結合部材から前記第1の部材の一部を除去して、前記素子層とすべき層を表出させる除去工程とを含むことが好ましい。

【0016】ここで、前記半導体部材作製工程は、前記第1の部材に結合させる前の前記第2の部材に前記薄化用分離部を予め形成する分離部形成工程を更に含むことが好ましい。本発明の好適な実施の形態によれば、前記分離部形成工程では、前記第1の部材に結合させる前の前記第2の部材に、前記薄化用分離部となる多孔質層を予め形成することが好ましい。或いは、前記分離部形成工程では、前記第1の部材に結合させる前の前記第2の部材に、前記薄化用分離部となるヘテロエピタキシャル成長層を予め形成することが好ましい。或いは、前記分離部形成工程では、前記第1の部材に結合させる前の前記第2の部材に、前記薄化用分離部となる高濃度ドーパ層を予め形成することが好ましい。本発明の好適な実施の形態によれば、前記薄化用分離部は、前記第1の部材と前記第2の部材との結合界面であってもよい。

【0017】或いは、本発明の好適な実施の形態によれば、前記半導体部材作製工程は、前記除去工程の後に、前記結合部材に前記薄化用分離部を形成する分離部形成工程を更に含むことも好ましい。ここで、前記分離部形成工程では、前記結合部材にイオンを注入することにより前記薄化用分離部を形成することが好ましい。

【0018】本発明の好適な実施の形態によれば、前記除去工程では、前記第1の部材に予め形成されている移設用分離部において前記結合部材を分離することが好ましい。ここで、前記移設用分離部は、多孔質層又はイオン注入層を含むことが好ましい。

【0019】本発明の好適な実施の形態によれば、前記半導体部材作製工程では、前記第1の部材と前記第2の部材とを結合させて結合部材を形成し、その後、前記第1の部材に予め形成されている移設用分離部としての多孔質層において前記結合部材を分離することにより、前記半導体部材を作製し、前記薄化工程では、前記薄化用分離部としての多孔質層で前記半導体部材を分離することが好ましい。

【0020】或いは、本発明の好適な実施の形態によれば、前記半導体部材作製工程では、前記第1の部材と前記第2の部材とを結合させて結合部材を形成し、その後、前記第1の部材に予め形成されている移設用分離部としてのイオン注入層において前記結合部材を分離することにより、前記半導体部材を作製し、前記薄化工程では、薄化用分離部としての多孔質層において前記半導体

部材を分離することが好ましい。

【0021】或いは、本発明の好適な実施の形態によれば、前記半導体部材作製工程では、前記第1の部材と前記第2の部材とを結合させて結合部材を形成し、その後、前記第1の部材に予め形成されている移設用分離部としての多孔質層において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程では、前記薄化用分離部としてのヘテロエピタキシャル成長層において前記半導体部材を分離することが好ましい。

【0022】或いは、本発明の好適な実施の形態によれば、前記半導体部材作製工程では、前記第1の部材と前記第2の部材とを結合させて結合部材を形成し、その後、前記第1の部材に予め形成されている移設用分離部としてのイオン注入層において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程では、前記薄化用分離部としてのヘテロエピタキシャル成長層において前記半導体部材を分離することが好ましい。

【0023】或いは、本発明の好適な実施の形態によれば、前記半導体部材作製工程では、前記第1の部材と前記第2の部材とを結合させて結合部材を形成し、その後、前記第1の部材に予め形成されている移設用分離部としてのヘテロエピタキシャル成長層において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程では、前記薄化用分離部としてのヘテロエピタキシャル成長層において前記半導体部材を分離することが好ましい。

【0024】或いは、本発明の好適な実施の形態によれば、前記半導体部材作製工程では、前記第1の部材と前記第2の部材とを結合させて結合部材を形成し、その後、前記第1の部材に予め形成されている移設用分離部としてのイオン注入層において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程では、前記薄化用分離部としての、前記第1の部材と前記第2の部材との結合界面で、前記半導体部材を分離することが好ましい。

【0025】或いは、本発明の好適な実施の形態によれば、前記半導体部材作製工程では、前記第1の部材と前記第2の部材とを結合させて結合部材を形成し、その後、前記第1の部材に予め形成されている移設用分離部としての多孔質層において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程では、前記薄化用分離部としての高濃度ドーパ層において前記半導体部材を分離することが好ましい。

【0026】或いは、本発明の好適な実施の形態によれば、前記半導体部材作製工程では、前記第1の部材と前記第2の部材とを結合させて結合部材を形成し、その後、前記第1の部材に予め形成されている移設用分離部としてのイオン注入層において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程で

は、前記薄化用分離部としてのイオン注入層において前記半導体部材を分離することが好ましい。ここで、前記半導体部材作製工程では、前記薄化用分離部としての水素イオン注入層を前記結合部材の分離後に形成することが好ましい。

【0027】或いは、本発明の好適な実施の形態によれば、前記半導体部材作製工程では、前記絶縁層が前記第1の部材に酸素イオンを注入することにより形成された半導体部材を形成し、前記薄化工程では、前記薄化用分離部としてのイオン注入層において前記半導体部材を分離することが好ましい。ここで、前記半導体部材作製工程では、前記薄化用分離部としてのイオン注入層を前記結合部材の分離後に形成することが好ましい。

【0028】或いは、本発明の好適な実施の形態によれば、前記半導体部材作製工程では、前記素子層とすべき層を有する第1の部材と、第2の部材とを結合させて結合部材し、その後、前記結合部材から前記第1の部材の一部を研削により除去することにより、前記半導体部材を作製し、前記薄化工程では、前記薄化用分離部としての、前記第1の部材と第2の界面において、前記半導体部材を分離することが好ましい。

【0029】或いは、本発明の好適な実施の形態によれば、前記半導体部材作製工程では、前記第1の部材と前記第2の部材とを結合させて結合部材を形成し、その後、前記第1の部材に予め形成されている移設用分離部において前記結合部材を分離することにより、前記半導体部材を形成し、前記薄化工程では、前記薄化用分離部において半導体部材を分離し、前記薄化用分離部の外周部は、前記移設用分離部の外周部よりも強度が強いことが好ましい。

【0030】本発明の第2の側面は、半導体部材の製造方法に係り、回路素子を形成するための素子層を有する第1の部材と、分離部を有する第2の部材とを結合させて結合部材を形成する結合工程と、前記素子層が表出するように前記結合部材から前記第1の部材の一部を除去し、これにより、前記結合部材を、前記素子層を表面に有し、内部に絶縁層を有し、前記絶縁層中又は前記絶縁層よりも深い位置に前記分離部を有する半導体部材とする除去工程とを含み、前記分離部は、前記半導体部材の前記素子層に回路素子が形成された後に前記半導体部材を分離するために利用されることを特徴とする。

【0031】本発明の第2の側面に係る製造方法において、本発明の好適な実施の形態によれば、前記分離部は、多孔質層を含むことが好ましい。

【0032】或いは、本発明の好適な実施の形態によれば、前記分離部は、ヘテロエピタキシャル成長層を含むことが好ましい。

【0033】或いは、本発明の好適な実施の形態によれば、前記分離部は、高濃度ドーパ層を含むことが好ましい。

【0034】或いは、本発明の好適な実施の形態によれば、前記除去工程は、前記第1の部材に予め形成されている多孔質層において前記結合部材を分離する工程を含み、前記分離部は、多孔質層を含むことが好ましい。

【0035】或いは、本発明の好適な実施の形態によれば、前記除去工程は、前記第1の部材に予め形成されているイオン注入層において前記結合部材を分離する工程を含み、前記分離部は、多孔質層を含むことが好ましい。

【0036】或いは、本発明の好適な実施の形態によれば、前記除去工程は、前記第1の部材に予め形成されている多孔質層において前記結合部材を分離する工程を含み、前記分離部は、ヘテロエピタキシャル成長層を含むことが好ましい。

【0037】或いは、本発明の好適な実施の形態によれば、前記除去工程は、前記第1の部材に予め形成されているイオン注入層において前記結合部材を分離する工程を含み、前記分離部は、ヘテロエピタキシャル成長層を含むことが好ましい。

【0038】或いは、本発明の好適な実施の形態によれば、前記除去工程は、前記第1の部材に予め形成されているヘテロエピタキシャル成長層において前記結合部材を分離する工程を含み、前記分離部は、ヘテロエピタキシャル成長層を含むことが好ましい。

【0039】或いは、本発明の好適な実施の形態によれば、前記除去工程は、前記第1の部材に予め形成されている多孔質層において前記結合部材を分離する工程を含み、前記分離部は、高濃度ドーパ層を含むことが好ましい。

【0040】或いは、本発明の好適な実施の形態によれば、前記除去工程は、前記第1の部材に予め形成されているイオン注入層において前記結合部材を分離する工程を含み、前記分離部は、イオン注入層を含むことが好ましい。

【0041】或いは、本発明の好適な実施の形態によれば、前記除去工程は、前記第1の部材が有する脆弱構造部において前記結合部材を分離する工程を含み、前記分離部の外周部は、前記脆弱構造部の外周部よりも強度が強いことが好ましい。

【0042】本発明の第3の側面は、半導体部材の製造方法に係り、回路素子を形成するための素子層を有する第1の部材と、第2の部材とを接合して接合部材を形成する接合工程と、前記素子層が表出するように前記接合部材から前記第1の部材の一部を除去し、これにより、前記接合部材を、前記素子層を表面に有し、内部に絶縁層を有する半導体部材とする除去工程と、前記除去工程を経て得られた前記半導体部材の前記絶縁層中又は前記絶縁層よりも深い位置に分離部を形成する分離部形成工程とを含み、前記分離部は、前記半導体部材の前記素子層に回路素子が形成された後に前記半導体部材を分離す

るために利用されることを特徴とする。

【0043】本発明の第3の側面において、本発明の好適な実施の形態によれば、前記分離部は、イオン注入層を含むことが好ましい。ここで、前記除去工程は、前記第1の部材に予め形成されているイオン注入層において前記接合部材を分離する工程を含むことが好ましい。

【0044】本発明の第4の側面は、半導体部材の製造方法に係り、酸素イオン注入によって形成された絶縁層を内部に有し、回路素子を形成するための素子層を表面に有する半導体部材を準備する準備工程と、前記半導体部材に所定のイオンを注入することにより、前記絶縁層中又は前記絶縁層よりも深い位置に分離部を形成する分離部形成工程とを含むことを特徴とする。

【0045】本発明の第5の側面は、半導体装置の薄化方法に係り、埋め込み絶縁層と、回路素子が形成された回路素子層と、前記埋め込み絶縁層中又はそれよりも深い位置に前記回路素子の形成に先立って形成された分離部とを有する半導体部材を前記分離部において分離することにより、前記半導体部材を薄化することを特徴とする。

【0046】本発明の第6の側面は、半導体装置の製造方法に係り、回路素子を形成するための素子層を表面に有し、内部に絶縁層を有し、前記絶縁層の中又は前記絶縁層よりも深い位置に薄化用分離部を有する半導体部材を準備する工程と、前記半導体部材に回路素子を形成する工程とを含むことを特徴とする。

【0047】本発明の第7の側面は、半導体装置の製造方法に係り、回路素子を形成するための素子層を表面に有し、内部に絶縁層を有し、前記絶縁層の中又は前記絶縁層よりも深い位置に薄化用分離部を有する半導体部材に素子分離領域及び活性領域を形成する工程と、前記活性領域にトランジスタを形成する工程とを含むことを特徴とする。

【0048】本発明の第8の側面は、半導体装置に係り、該半導体装置は、上記の本発明の第1の側面に係る製造方法によって製造される。

【0049】本発明の第9の側面は、半導体部材に係り、該半導体部材は、上記の本発明の第2の側面に係る製造方法によって製造される。

【0050】

【発明の実施の形態】以下、本発明の好適な実施の形態を説明する。

【0051】本発明の好適な実施の形態に係る半導体装置の製造方法は、回路素子を形成するための素子層（例えば、単結晶Si層）を表面に有し、内部に埋め込み絶縁層（例えば、SiO₂層）を有し、該絶縁層の中又は該絶縁層よりも深い位置に薄化用分離部を有する半導体部材（典型的には、SOI構造を有するSOI基板）を作製する半導体部材作製工程と、該半導体部材の素子層に回路素子を形成する回路素子形成工程と、回路素子が

形成された半導体部材を該薄化用分離部において分離することにより該半導体部材を薄化する薄化工程とを含む。

【0052】半導体部材作製工程では、例えば、2枚の基板を結合させて結合基板を作製した後に該結合基板を分離して又は該結合基板のうち不要な部分を除去して半導体層／絶縁層構造（例えば、SOI構造）を有する半導体部材を作製する結合法（貼り合わせ法）によって半導体基板を作製することが好ましい。結合法としては、例えば、結合基板を分離するための分離層として多孔質層を利用する方法やイオン注入層を利用する方法が好適である。

【0053】また、半導体部材作製工程では、例えば、サファイア基板上に薄化用分離層を形成した後に、その上にシリコン層等の半導体層を成長させることにより、絶縁体上に薄化用分離層を有し、その上に半導体層を有する半導体基板を作製してもよい。

【0054】また、半導体部材作製工程では、例えば結合法又はSIMOX法により、半導体層／絶縁層構造（例えば、SOI構造）を有する半導体部材を作製した後に、例えば該部材の素子層より下方に水素等のイオンを注入することにより、該半導体基板中に薄化用分離部を形成してもよい。

【0055】薄化用分離部は、回路素子の形成工程（デバイスプロセス）の前又は後に半導体部材中に形成され、回路素子の形成後に半導体部材を分離するために利用される。したがって、薄化用分離部は、必要に応じて回路素子の形成工程中の熱処理、多層構造に起因する内部応力、CMP等により加えられる外部からの機械的な力に耐えるものでなければならない。

【0056】また、薄化用分離部は、例えば、多孔質層、イオン注入層、ヘテロエピタキシャル成長層、2枚の基板の結合界面、多層構造の界面など、内部応力を発生させたり、内部応力を集中させたり、強度を脆弱にしたり、密度を局所的に低くするなどして、相対的に亀裂が入り易い部分になっていればよい。とりわけ、陽極化成などにより形成される多孔質層や、水素や希ガス等の種々のイオン注入により欠陥又は微小空隙を生成しうるイオン注入層、或いはこれらを組合わせたものが、再現性の点でより好ましいものである。

【0057】また、薄化用分離部は、半導体基板のほぼ全領域にわたって層状に形成されていることが好ましい。

【0058】また、薄化用分離部を利用した半導体基板の分離は、該薄化用分離部中、又は、該薄化用分離部とそれに隣接する層との界面で起こりうる。

【0059】結合法（貼り合わせ法）により、移設用分離部と薄化用分離部の双方を有する結合部材を作製した後に該移設用分離部において該結合部材を分離して薄化用分離部を有する半導体基板を作製する場合には、該結

合部材を該移設用分離部において分離する際に該結合部材が該薄化用分離部において分離されない方法を採用する。これらは、移設用分離部及び薄化用分離部の相対的な脆弱性や機械的強度によってのみ決まるものでもなく、分離方法との組合わせや、プロセスフロー上の分離部形成の時期などにも依存する。

【0060】以下に、本発明の代表的かつ好適な実施の形態は次の通りである。ただし、これ以外の実施の形態も採用しうる。

【0061】(1) 移設用分離部として第1の多孔質層を採用し、薄化用分離部として該第1の多孔質層よりも機械的強度が強い第2の多孔質層を採用する。

【0062】(2) 移設用分離部として水素イオン注入層等のイオン注入層を採用し、薄化用分離部として多孔質層を採用する。前者は、熱処理による分離に適しており、後者は機械的な力の印加による分離に適している。

【0063】(3) 移設用分離部として多孔質層を採用し、薄化用分離部として該第1の多孔質層よりも機械的強度が強いヘテロエピタキシャル成長層を採用する。

【0064】(4) 移設用分離部として水素イオン注入層等のイオン注入層を採用し、薄化用分離部としてヘテロエピタキシャル成長層を採用する。前者は、熱処理による分離に適しており、後者は機械的な力の印加による分離に適している。

【0065】(5) 移設用分離部として第1のヘテロエピタキシャル成長層を採用し、薄化用分離部として該第1のヘテロエピタキシャル成長層よりも機械的強度が強い第2のヘテロエピタキシャル成長層を採用する。

【0066】(6) 移設用分離部として水素イオン注入層等のイオン注入層を採用し、薄化用分離部として結合界面を採用する。前者は、熱処理による分離に適しており、後者は機械的な力の印加による分離に適している。

【0067】(7) 移設用分離部として多孔質層を採用し、薄化用分離部として該多孔質層よりも機械的強度が強い高濃度ドーパ層を採用する。

【0068】(8) SOI基板に薄化用分離部を形成する。例えば、移設用分離部として、多孔質層や、水素イオン注入層等のイオン注入層を採用して結合法(貼り合わせ法)により半導体層/絶縁層構造(例えば、SOI構造)を形成した後に、薄化用分離部として、水素イオン注入層等のイオン注入層を形成する。この場合、移設用分離部と薄化用分離部とがプロセスフロー上同時に存在することがない。

【0069】(9) SIMOX法により半導体層/絶縁層構造(例えば、SOI構造)を形成した後に、薄化用分離部として、水素イオン注入層等のイオン注入層を形成する。この場合、移設用分離部を形成することなく、半導体層/絶縁層構造(例えば、SOI構造)が得られるので、当然に、移設用分離部と薄化用分離部とが同時に存在することはない。

【0070】(10) 半導体層及び絶縁層を有する第1の基板と、第2の基板とを結合させて結合基板を作成した後に該結合基板から該第1の基板のうち不要な部分を研削により除去して半導体層/絶縁層構造(例えば、SOI構造)を有する半導体基板を形成する。薄化用分離部としては、第1の基板と第2の基板との界面を利用する。

【0071】(11) 移設用分離部の外周部の機械的強度を弱くし、薄化用分離部が外周部の機械的強度を強くする。この場合、移設用分離部と薄化用分離部とが混在しても、移設の際に該移設用分離部において結合部材が分離される。

【0072】薄化用分離部の形成は、半導体層/絶縁層構造(例えば、SOI構造)の作製時に形成してもよいし(上記の(1)~(7)、(11))、半導体層/絶縁層構造の作製後に形成してもよいし(上記の(8)~(10))、回路素子(デバイス)の形成後に形成してもよい。

【0073】回路素子が形成された後に半導体部材を薄化用分離部において分離することにより、例えば数百nm~数十 μ m、典型的には数 μ m厚の半導体部材を得ることができる。このような半導体部材は、ICカードや3次元積層パッケージへの応用に適している。

【0074】このような薄化方法は、一般に回路素子形成後に実施される回路素子の薄層化のための裏面研削工程の代替となり、しかもコスト的に優れたものである。

【0075】ここで、回路素子が形成された半導体部材を薄化用分離部で分離する際に、回路素子側(デバイス側)の厚さ(薄化用分離から半導体部材表面までの厚さ)が薄いと、回路素子側部分の機械的強度が不十分になる場合がある。この場合は、回路素子側部分を補強部材で補強した後に薄化用分離部において半導体部材を分離することが好ましい。補強部材としては、例えば、シリコンウエハ、樹脂、金属などを採用しうる。補強部材は、典型的には、分離に先立って回路素子側部分に接着され、該分離の直後、又は、半導体基板をダイシングした後に除去される。このような補強部材の使用に代えて、半導体部材の回路素子側を真空吸着しながら該半導体部材を薄化用分離部において分離する方法も好ましい。

【0076】以下、本発明のより具体的な実施の形態について説明する。

【0077】[第1の実施の形態] 図1A及び図1Bは、本発明の第1の実施の形態の半導体装置の製造方法を模式的に示す図である。

【0078】まず、STEP1では、第1の基板(prime wafer又はseed wafer) 或いは部材として単結晶Si基板11を準備して、その主表面上に分離層としての多孔質Si層12を形成する。この分離層は、その上の移設層を第2の基板に移設する移設工程で利用される。移

設工程は、第1の基板と第2の基板とを接合して接合部材を作製する接合工程と、接合部材を移設用分離層（多孔質Si層12）において分離する分離工程とを含む。このような方法を移設法又は結合法（貼り合わせ法）という。多孔質Si層12は、例えば、電解質溶液（化成液）中で単結晶Si基板11に陽極化成処理を施すことによって形成することができる。

【0079】ここで、電解質溶液としては、例えば、弗化水素を含む溶液、弗化水素及びエタノールを含む溶液、弗化水素及びイソプロピルアルコールを含む溶液等が好適である。より具体的な例を挙げると、電解質溶液としては、例えば、HF水溶液（HF濃度＝4.9wt%）とエタノールを体積比2：1で混合した混合液が好適である。

【0080】また、多孔質Si層12を互いに多孔度の異なる2層以上の層からなる多層構造としてもよい。ここで、多層構造の多孔質Si層12は、表面側に第1の多孔度を有する第1の多孔質Si層、その下に、第1の多孔度より大きい第2の多孔度を有する第2の多孔質Si層を含むことが好ましい。このような多層構造を採用することにより、後の非多孔質層13の形成工程において、第1の多孔質Si層上に、欠陥等の少ない非多孔質層13を形成することができると共に、後の分離工程において、所望の位置で接合基板を分離することができる。ここで、第1の多孔度としては、10%～30%が好ましく、15%～25%が更に好ましい。また、第2の多孔度としては、35%～70%が好ましく、40%～60%が更に好ましい。

【0081】電解質溶液として上記の混合液（HF濃度が4.9wt%の弗化水素酸：エタノール＝2：1）を利用する場合は、例えば、電流密度8mA/cm²、処理時間5～11minの条件で第1層（表面側）を生成し、次いで、電流密度23～33mA/cm²、処理時間80sec～2minの条件で第2層（内部側）を生成することが好ましい。

【0082】次いで、次の（1）～（4）の少なくとも1つの工程を実施することが好ましい。ここで、（1）、（2）を順に実施することが好ましく、（1）、（2）、（3）を順に実施すること、或いは、（1）、（2）、（4）を順に実施することが更に好ましく、（1）、（2）、（3）、（4）を順に実施することが最も好ましい。

【0083】（1）多孔質Si層の孔壁に保護膜を形成する工程（プリ酸化工程）

この工程では、多孔質Si層12の孔壁に酸化膜や窒化膜等の保護膜を形成し、これにより、後の熱処理による孔の粗大化を防止するのに有効であるが必須ではない。保護膜は、例えば、酸素雰囲気中で熱処理（例えば、200℃～700℃が好ましく、300℃～500℃が更に好ましい）を実施することにより形成され得る。その

後、多孔質Si層12の表面に形成された酸化膜等を除去することが好ましい。これは、例えば、弗化水素を含む溶液に多孔質Si層12の表面を晒すことによって実施され得る。

【0084】（2）水素ベーキング工程（プリベーキング工程）

この工程では、水素を含む還元性雰囲気中において800℃～1200℃で、多孔質Si層12が形成された第1の基板1に熱処理を実施する。この熱処理により、多孔質Si層12の表面の孔をある程度封止することができると共に、多孔質Si層12の表面に自然酸化膜が存在する場合には、それを除去することができるが必須ではない。

【0085】（3）微量原料供給工程（プリインジェクション工程）

多孔質Si層12上に非多孔質層13を成長させる場合は、成長の初期段階で非多孔質層13の原料物質の供給を微量として、低速度で非多孔質膜13を成長させることが好ましい。このような成長方法により、多孔質Si層12の表面の原子のマイグレーションが促進され、多孔質Si層12の表面の孔を封止することができる。具体的には、成長速度が20nm/min以下、好ましくは10nm/min以下、より好ましくは2nm/min以下になるように原料の供給を制御するが必須ではない。

【0086】（4）高温ベーキング工程（中間ベーキング工程）

上記の水素ベーキング工程及び／又は微量原料供給工程における処理温度よりも高い温度で、水素を含む還元性雰囲気中で熱処理を実施することにより、多孔質Si層12の更なる封止及び平坦化が実現することができるが必須ではない。

【0087】次いで、STEP2の第1段階では、多孔質Si層12上に半導体層13を形成する。半導体層13としては、単結晶Si層、多結晶Si層、非晶質Si層等のSi層、Ge層、SiGe層、SiC層、C層、GaAs層、GaN層、AlGaAs層、InGaAs層、InP層、InAs層、SiGe層／歪みSi層、等が好適である。

【0088】次いで、STEP2の第2段階では、半導体層13の上に絶縁層（例えばSiO₂層）14を形成する。これにより、移設用分離層12の上に、移設層としての、半導体層13及び絶縁層14を有する第1の基板或いは部材10が得られる。絶縁層14として好適なSiO₂層は、例えば、O₂/H₂雰囲気、1100℃、10～33minの条件で生成され得る。

【0089】以上の工程と並行して、STEP3及びSTEP4が実施される。STEP3では、第2の基板（支持基板；handle wafer）或いは部材としての単結晶Si基板21を準備して、その主表面上に分離層として

の多孔質層22を形成する。この分離層は、回路素子が形成された半導体基板を薄化する工程で利用される薄化用分離層である。多孔質Si層22は、例えば、電解質溶液（化成液）中で単結晶Si基板21に陽極化成処理を施すことによって形成することができる。

【0090】ここで、電解質溶液としては、例えば、弗化水素を含む溶液、弗化水素及びエタノールを含む溶液、弗化水素及びイソプロピルアルコールを含む溶液等が好適である。より具体的な例を挙げると、電解質溶液としては、例えば、HF水溶液（HF濃度＝49wt％）とエタノールを体積比2：1で混合した混合液が好適である。勿論、多孔質Si層22を互いに多孔度の異なる2層以上の層からなる多層構造としてもよい。

【0091】第2の基板の多孔質Si層22は、第1の基板の多孔質Si層12よりも機械的強度が高いことが好ましい。ここで、機械的強度は、例えば、多孔度が小さいほど、孔径が小さいほど、孔密度が小さいほど、高くなる。或いは、第2の基板の多孔質Si層22は、第1の基板の多孔質Si層12よりも、加わる応力が小さいことが好ましい。第1の基板の多孔質Si層12と第2の基板の多孔質Si層22とに特性の差を設ける方法としては、例えば、多孔質形成領域の導電型若しくは比抵抗、又は、化成液の組成若しくは化成電流密度を変更する方法を採用することができる。

【0092】STEP4では、多孔質Si層22上に、回路素子が形成された最終的な基板又はチップの厚さを任意の厚さにするための厚さ調整層23を形成する。これにより、薄化用分離層22上に厚さ調整層23を有する第2の基板20が得られる。厚さ調整層23としては、例えば単結晶シリコン等のシリコン層が好適であるが、他の材料で構成された層であってもよい。

【0093】第2の基板は、単結晶Si基板に限定されず、例えばサファイヤ基板や石英等の透明基板、あるいは、多結晶Si基板などであってもよい。すなわち、第2の基板は、移設用分離部を形成することができる部材であれば何でもよい。

【0094】次いで、STEP5では、STEP2を経て得られた第1の基板10とSTEP4を経て得られた第2の基板20とを、絶縁層14を挟むようにして、室温で結合(bonding)させて結合基板30を作成する。

【0095】なお、絶縁層14は、上記のように単結晶Si層13側に形成しても良いし、第2の基板20上に形成しても良く、両者に形成しても良く、結果として、第1の基板と第2の基板を結合させた際に、図1Aに示す状態になれば良い。しかしながら、上記のように、絶縁層14を活性層となる半導体層（例えば、単結晶Si層）13側に形成することにより、第1の基板10と第2の基板20との接合界面を活性層から遠ざけることができるため、より高品位のSOI基板等の半導体基板を得ることができる。

【0096】ここで、基板10と基板20とを結合させた後に、両者の結合を強固にする処理を実施することが好ましい。この処理の一例としては、例えば、1) N₂ 雰囲気、1100℃、10minの条件で熱処理を実施し、2) O₂/H₂ 雰囲気、1100℃、50～100minの条件で熱処理（酸化処理）を実施する処理が好適である。この処理に加えて、或いは、この処理に代えて、陽極接合処理及び／又は加圧処理を実施してもよい。

【0097】次いで、STEP6では、結合基板30を機械的強度が脆弱な移設用分離層としての多孔質層12において分離する。ここで、結合基板の分離方法としては、例えば、多孔質層12に流体の圧力を作用させる方法（例えば、多孔質層12に流体を打ち込む方法、多孔質層12に流体の静圧を印加する方法等）、多孔質層12に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、多孔質層12に対して平行に剪断応力を加える方法（例えば、結合界面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など）、結合界面に対して垂直な方向に加圧する方法、多孔質層12に超音波などの波動エネルギーを印加する方法、多孔質層12に対して結合基板の側面側から結合界面に平行に剥離用部材（例えばナイフのような鋭利なブレード）を挿入する方法、多孔質層12に染み込ませた物質の膨張エネルギーを利用する方法、多孔質層12を結合基板の側面から熱酸化させることにより、該多孔質層12を体積膨張させる方法、分離領域として機能する多孔質層12を結合基板の側面から選択的にエッチングして分離する方法などがある。

【0098】ここで、重要なことは、結合基板30を薄化用分離層としての多孔質層22ではなくて移設用分離層としての多孔質層12において分離することである。このためには、前述のように、薄化用の分離層としての多孔質Si層22の機械的強度を移設用分離層としての多孔質Si層12よりも高くしておくことが好ましい。

【0099】或いは、薄化用分離層としての多孔質Si層22の外周部の機械的強度を移設用分離層としての多孔質層21の外周部の機械的強度よりも強くしておくことが好ましい。この方法は、分離方法として、多孔質層に流体を打ち込む方法や剥離用部材を挿入する方法等に特に適している。移設用分離層としての多孔質層12における分離が始まると、分離は多孔質層12に沿って進むため、他の分離層である薄化用分離層としての多孔質層22における分離は起こりにくい。多孔質層の外周部の強度は、例えば、多孔質層に隣接する層（例えば、単結晶シリコン層）の厚さに依存する。そこで、薄化用分離層としての多孔質層22に隣接する厚さ調整層23を相対的に厚くし、移設用分離層としての多孔質層12に隣接する半導体層13の厚さを相対的に薄くすることに

より、薄化用分離層としての多孔質Si層22の外周部の機械的強度を移設用分離層としての多孔質層21の外周部の機械的強度よりも強くすることができる。或いは、薄化用分離層としての多孔質層22に隣接する厚さ調整層23の直径を相対的に大きくし（すなわち、基板端部から厚さ調整層23の端部までの距離を小さくし）、移設用分離層としての多孔質層12に隣接する半導体層13の直径を相対的に小さくし（すなわち、基板のエッジから半導体層13のエッジまでの距離を小さくし）してもよい。この場合においても、薄化用分離層としての多孔質Si層22の外周部の機械的強度を移設用分離層としての多孔質層21の外周部の機械的強度よりも強くすることができる。図10に側部の様子を模式的に示す。

【0100】STEP7は、分離後の第1の基板10'の単結晶Si基板11上に多孔質層12aが残留する場合において必要に応じて実施される工程である。この工程では、残留多孔質層12aをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶Si基板11は、第1の基板としての単結晶シリコン基板11、又は第2の基板としての単結晶シリコン基板21として利用され得る。

【0101】STEP8は、分離後の第2の基板20'上に多孔質層12bが残留する場合において必要に応じて実施される工程である。この工程では、残留多孔質層12bをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして半導体基板40が製造される。半導体基板40は、回路素子を形成した後に薄化用分離層22において分離することにより容易に薄化されうる薄化対応基板である。

【0102】STEP9では、半導体基板40に回路素子を作り込む。簡単に説明すると、この工程は、例えば、半導体基板40上に素子分離領域と活性領域とを形成し、活性領域にトランジスタ等の回路素子や配線を含む集積回路41を形成する工程を含む。このようなデバイス工程のより詳細な具体例については後述する。

【0103】STEP10では、集積回路41が形成された半導体基板50を機械的強度が脆弱な薄化用分離層としての多孔質層22において分離する。これにより、半導体基板50が薄化される。薄化後の半導体基板51の厚さは、厚さ調整層23の厚さに依存する。すなわち、最終的な半導体基板において要求される厚さを考慮して、STEP4において厚さ調整層23の厚さを調整すればよい。

【0104】半導体基板の分離方法としては、例えば、多孔質層22に流体の圧力を作用させる方法（例えば、多孔質層22に流体を打ち込む方法、多孔質層22に流体の静圧を印加する方法等）、多孔質層22に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、多孔質層22に対して平行に剪断応力を加える方法（例えば、結合界面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など）、結合界面に対して垂直な方向に加圧する方法、多孔質層22に超音波などの波動エネルギーを印加する方法、多孔質層22に対して結合基板の側面側から結合界面に平行に剥離用部材（例えばナイフのような鋭利なブレード）を挿入する方法、多孔質層22に染み込ませた物質の膨張エネルギーを利用する方法、多孔質層22を結合基板の側面から熱酸化させることにより、該多孔質層22を体積膨張させる方法、分離領域として機能する多孔質層22を希有号基板の側面から選択的にエッチングして分離する方法などがある。

【0105】STEP11は、薄化後の半導体基板51に多孔質層22aが残留している場合において必要に応じて実施される工程である。この工程では、残留多孔質層22aをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。

【0106】STEP12は、分離後の第2の基板としての単結晶Si基板21上に多孔質層22bが残留する場合において必要に応じて実施される工程である。この工程では、残留多孔質層22bをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶Si基板21は、第1の基板としての単結晶シリコン基板11、又は第2の基板としての単結晶シリコン基板21、あるいは、その他の半導体基板として利用され得る。

【0107】[第2の実施の形態] この実施の形態は、第1の実施の形態における移設用分離層としての多孔質層12をイオン注入層に変更したものである。

【0108】図2A及び図2Bは、本発明の第2の実施の形態の半導体装置の製造方法を模式的に示す図である。

【0109】まず、STEP101では、第1の基板（prime wafer又はseed wafer）或いは部材として単結晶Si基板11を準備して、その主表面上に絶縁層（例えば、SiO₂層）14を形成する。

【0110】次いで、STEP102では、絶縁層14が形成された単結晶Si基板11の所定深さに水素イオンを注入することにより、水素イオン注入層112を形成する。この水素イオン注入層112は、移設用分離層

として機能する。この工程により、絶縁層14と水素イオン注入層112との間には、半導体層としての単結晶Si層113が残る。

【0111】ここで、水素イオンに代えて、窒素や希ガスイオンを注入してもよい。イオン注入法としては、一般に回路素子形成工程に用いられる、イオン注入装置を用いる方法や、プラズマ浸漬イオン注入法（例えば、国際公開番号WO98/52216号公報に記載されている）を採用することができる。

【0112】なお、STEP101において、絶縁層14の形成に先立って、単結晶Si層、多結晶Si層、非晶質Si層等のSi層、Ge層、SiGe層、SiC層、C層、GaAs層、GaN層、AlGaAs層、InGaAs層、InP層、InAs層、SiGe層／歪みSi層等を形成しておくことにより、それを半導体層14とすることもできる。

【0113】以上の工程と並行して、STEP103及びSTEP104が実施される。STEP3では、第2の基板（支持基板、handle wafer）或いは部材としての単結晶Si基板21を準備して、その主表面上に薄化用分離層としての多孔質層22を形成する。多孔質Si層22は、例えば、電解質溶液（化成液）中で単結晶Si基板21に陽極化成処理を施すことによって形成することができる。

【0114】ここで、電解質溶液としては、例えば、弗化水素を含む溶液、弗化水素及びエタノールを含む溶液、弗化水素及びイソプロピルアルコールを含む溶液等が好適である。より具体的な例を挙げると、電解質溶液としては、例えば、HF水溶液（HF濃度＝49wt％）とエタノールを体積比2：1で混合した混合液が好適である。勿論、多孔質Si層22を互いに多孔度の異なる2層以上の層からなる多層構造としてもよい。

【0115】STEP4では、多孔質Si層22上に、回路素子が形成された最終的な基板又はチップの厚さを任意の厚さにするための厚さ調整層23を形成する。これにより、薄化用分離層22上に厚さ調整層23を有する第2の基板20が得られる。厚さ調整層23としては、例えば単結晶シリコン等のシリコン層が好適であるが、他の材料で構成された層であってもよい。

【0116】第2の基板は、単結晶Si基板に限定されず、例えばサファイヤ基板であってもよい。すなわち、第2の基板は、移設用分離部を形成することができる部材であれば何でもよい。

【0117】次いで、STEP105では、STEP102を経て得られた第1の基板110とSTEP4を経て得られた第2の基板120とを、絶縁層14を挟むようにして、室温で結合(bonding)させて結合基板130を作成する。この後、結合を強固にするための処理を施してもよい。

【0118】次いで、STEP106では、結合基板3

0を機械的強度が脆弱な移設用分離層としての水素イオン注入層112において分離する。ここで、結合基板の分離方法としては、例えば、熱処理が最も好ましい。熱処理を施すことにより、イオン注入層112内に潜在的に存在する多数の微小な空洞が凝集することが知られている。このような層は、例えば、微小空洞層(micro-cavity layer)と呼ばれる。この分離工程において熱処理を採用することにより、結合基板30を薄化用分離層としての多孔質層22ではなくて移設用分離層としての水素イオン注入層112において分離することができる。イオン注入層112は、多孔質層22よりも低い温度で分離層として活性化されるからである。

【0119】なお、上記の熱処理に代えて、水素イオン注入層112に流体の圧力を作用させる方法（例えば、水素イオン注入層112に流体を打ち込む方法、水素イオン注入層112に流体の静圧を印加する方法等）、水素イオン注入層112に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、水素イオン注入層112に対して平行に剪断応力を加える方法（例えば、結合界面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など）、結合界面に対して垂直な方向に加圧する方法、水素イオン注入層112に超音波などの波動エネルギーを印加する方法、水素イオン注入層112に対して結合基板の側面側から結合界面に平行に剥離用部材（例えばナイフのような鋭利なブレード）を挿入する方法なども採用し得る。

【0120】STEP107は、分離後の第1の基板110'の単結晶Si基板11上に水素イオン注入層112aが残留する場合において必要に応じて実施される工程である。この工程では、残留水素イオン注入層112aをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶Si基板11は、第1の基板としての単結晶シリコン基板11、又は第2の基板としての単結晶シリコン基板21として利用され得る。

【0121】STEP108は、分離後の第2の基板120'上に水素イオン注入層112bが残留する場合において必要に応じて実施される工程である。この工程では、残留水素イオン注入層112bをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして半導体基板140が製造される。半導体基板140は、回路素子を形成した後に薄化用分離層122において分離

することにより容易に薄化されうる薄化対応基板である。

【0122】STEP109では、半導体基板140に回路素子を作り込む。簡単に説明すると、この工程は、例えば、半導体基板140上に素子分離領域と活性領域とを形成し、活性領域にトランジスタ等の回路素子や配線を含む集積回路41を形成する工程を含む。この工程のより詳細な具体例については後述する。

【0123】STEP110では、集積回路41が形成された半導体基板150を機械的強度が脆弱な薄化用分離層としての多孔質層22において分離する。これにより、半導体基板150が薄化される。薄化後の半導体基板151の厚さは、厚さ調整層23の厚さに依存する。すなわち、最終的な半導体基板において要求される厚さを考慮して、STEP104において厚さ調整層23の厚さを調整すればよい。

【0124】半導体基板の分離方法としては、例えば、多孔質層22に流体の圧力を作用させる方法（例えば、多孔質層22に流体を打ち込む方法、多孔質層22に流体の静圧を印加する方法等）、多孔質層22に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、多孔質層22に対して平行に剪断応力を加える方法（例えば、結合界面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など）、結合界面に対して垂直な方向に加圧する方法、多孔質層22に超音波などの波動エネルギーを印加する方法、多孔質層22に対して結合基板の側面側から結合界面に平行に剥離用部材（例えばナイフのような鋭利なブレード）を挿入する方法、多孔質層22に染み込ませた物質の膨張エネルギーを利用する方法、多孔質層22を結合基板の側面から熱酸化させることにより、該多孔質層22を体積膨張させる方法、分離領域として機能する多孔質層を結合基板の側面から選択的にエッチングして分離する方法などがある。

【0125】STEP111は、薄化後の半導体基板151に多孔質層22aが残留している場合において必要に応じて実施される工程である。この工程では、残留多孔質層22aをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。

【0126】STEP112は、分離後の第2の基板としての単結晶Si基板21上に多孔質層22bが残留する場合において必要に応じて実施される工程である。この工程では、残留多孔質層22bをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶Si基板21は、第1の基板としての単結晶シリコン基板11、又は第2の基板としての単結晶シリコ

ン基板21として利用され得る。

【0127】〔第3の実施の形態〕この実施の形態は、第1の実施の形態における薄化用分離層としての多孔質層22をヘテロエピタキシャル層に変更したものである。

【0128】図3A及び図3Bは、本発明の第3の実施の形態の半導体装置の製造方法を模式的に示す図である。

【0129】まず、STEP201及び202では、第1の実施の形態と同様にして、移設用分離層12の上に、移設層としての、半導体層13及び絶縁層14を有する第1の基板或いは部材210を作製する。

【0130】STEP203では、第2の基板(支持基板、handle wafer)或いは部材としての単結晶Si基板21を準備して、その主表面上に分離層としてのヘテロエピタキシャル成長層222を形成する。分離層222は、回路素子が形成された半導体基板を薄化する工程で利用される薄化用分離層であり、移設用分離層12よりも機械的強度が強い。ここで、ヘテロエピタキシャル層222としては、例えば、下地の基板がシリコン基板である場合、SiGe層、SiCが好適であるが、Ga_{0.5}N_{0.5}、GaAs等でもよい。

【0131】STEP204では、ヘテロエピタキシャル成長層222上に、回路素子が形成された最終的な基板又はチップの厚さを任意の厚さにするための厚さ調整層23を形成する。これにより、薄化用分離層222上に厚さ調整層23を有する第2の基板220が得られる。厚さ調整層23としては、例えば単結晶シリコン等のシリコン層が好適であるが、他の材料で構成された層であってもよい。

【0132】第2の基板は、単結晶Si基板に限定されず、例えばサファイヤ基板であってもよい。すなわち、第2の基板は、薄化用分離部を形成することができる部材であれば何でもよい。

【0133】次いで、STEP205では、STEP202を経て得られた第1の基板210とSTEP204を経て得られた第2の基板220とを、絶縁層14を挟むようにして、室温で結合(bonding)させて結合基板230を作成する。

【0134】なお、絶縁層14は、上記のように単結晶Si層13側に形成しても良いし、第2の基板220上に形成しても良く、両者に形成しても良く、結果として、第1の基板と第2の基板を結合させた際に、図2Aに示す状態になれば良い。しかしながら、上記のように、絶縁層14を活性層となる半導体層(例えば、単結晶Si層)13側に形成することにより、第1の基板110と第2の基板220との接合界面を活性層から遠ざけることができるため、より高品位のSOI基板等の半導体基板を得ることができる。

【0135】ここで、基板210と基板220とを結合

させた後に、両者の結合を強固にする処理を実施することが好ましい。この処理の一例としては、例えば、1) N_2 雰囲気、1100℃、10minの条件で熱処理を実施し、2) O_2/H_2 雰囲気、1100℃、50～100minの条件で熱処理（酸化処理）を実施する処理が好適である。この処理に加えて、或いは、この処理に代えて、陽極接合処理及び／又は加圧処理を実施してもよい。

【0136】次いで、STEP206では、結合基板230を機械的強度が脆弱な移送用分離層としての多孔質層12において分離する。ここで、結合基板の分離方法としては、例えば、多孔質層12に流体の圧力を作用させる方法（例えば、多孔質層12に流体を打ち込む方法、多孔質層12に流体の静圧を印加する方法等）、多孔質層12に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、多孔質層22に対して平行に剪断応力を加える方法（例えば、結合界面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など）、結合界面に対して垂直な方向に加圧する方法、多孔質層12に超音波などの波動エネルギーを印加する方法、多孔質層12に対して結合基板の側面側から結合界面に平行に剥離用部材（例えばナイフのような鋭利なブレード）を挿入する方法、多孔質層12に染み込ませた物質の膨張エネルギーを利用する方法、多孔質層12を結合基板の側面から熱酸化させることにより、該多孔質層12を体積膨張させる方法、分離領域として機能する多孔質層を結合基板の側面から選択的にエッチングして分離する方法などがある。

【0137】STEP207は、分離後の第1の基板210'の単結晶Si基板11上に多孔質層12aが残留する場合において必要に応じて実施される工程である。この工程では、残留多孔質層12aをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶Si基板11は、第1の基板としての単結晶シリコン基板11、又は第2の基板としての単結晶シリコン基板21として利用され得る。

【0138】STEP208は、分離後の第2の基板220'上に多孔質層12bが残留する場合において必要に応じて実施される工程である。この工程では、残留多孔質層12bをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして半導体基板240が製造される。半導体基板240は、回路素子を形成した後に薄化用分離層222において分離することにより容易に薄

化されうる薄化対応基板である。

【0139】STEP209では、半導体基板240に回路素子を作り込む。簡単に説明すると、この工程は、例えば、半導体基板240上に素子分離領域と活性領域とを形成し、活性領域にトランジスタ等の回路素子や配線を含む集積回路41を形成する工程を含む。この工程のより詳細な具体例については後述する。

【0140】STEP210では、集積回路41が形成された半導体基板250を機械的強度が脆弱な薄化用分離層としてのヘテロエピタキシャル層222において分離する。これにより、半導体基板250が薄化される。薄化後の半導体基板51の厚さは、厚さ調整層23の厚さに依存する。すなわち、最終的な半導体基板において要求される厚さを考慮して、STEP204において厚さ調整層23の厚さを調整すればよい。

【0141】半導体基板の分離方法としては、例えば、ヘテロエピタキシャル成長層222に流体の圧力を作用させる方法（例えば、ヘテロエピタキシャル成長層222に流体を打ち込む方法、ヘテロエピタキシャル成長層222に流体の静圧を印加する方法等）、ヘテロエピタキシャル成長層222に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、ヘテロエピタキシャル成長層222に対して平行に剪断応力を加える方法（例えば、貼り合わせ面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など）、結合界面に対して垂直な方向に加圧する方法、ヘテロエピタキシャル成長層222に対して結合基板の側面側から結合界面に平行に剥離用部材（例えばナイフのような鋭利なブレード）を挿入する方法などがある。

【0142】STEP211は、薄化後の半導体基板51にヘテロエピタキシャル成長層222aが残留している場合において必要に応じて実施される工程である。この工程では、残留ヘテロエピタキシャル成長層222aをエッチング、研磨、研削等により除去する。

【0143】STEP12は、分離後の第2の基板としての単結晶Si基板21上にヘテロエピタキシャル成長層222bが残留する場合において必要に応じて実施される工程である。この工程では、残留成長層222bをエッチング、研磨、研削等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶Si基板21は、第1の基板としての単結晶シリコン基板11、又は第2の基板としての単結晶シリコン基板21として利用され得る。

【0144】〔第4の実施の形態〕この実施の形態は、第2の実施の形態における薄化用分離層として多孔質層112を第3の実施の形態と同様のヘテロエピタキシャ

ル層に変更し、たものである。

【0145】図4A及び図4Bは、本発明の第4の実施の形態の半導体装置の製造方法を模式的に示す図である。

【0146】STEP301及び302では、第2の実施の形態と同様にして、水素イオン注入層112上に半導体層113を有し、その上に絶縁層113を有する第1の基板310を作製する。

【0147】STEP303及び304では、第3の実施の形態と同様にして、ヘテロエピタキシャル成長層222上に、回路素子が形成された最終的な基板又はチップの厚さを任意の厚さにするための厚さ調整層23を有する第2の基板320を作製する。

【0148】次いで、STEP305では、STEP302を経て得られた第1の基板310とSTEP304を経て得られた第2の基板320とを、絶縁層14を挟むようにして、室温で結合(bonding)させて結合基板330を作成する。この後、結合を強固にするための処理を施してもよい。

【0149】次いで、STEP306では、結合基板30を機械的強度が脆弱な移送用分離層としての水素イオン注入層112において分離する。ここで、結合基板の分離方法としては、例えば、熱処理が最も好ましい。熱処理を施すことにより、イオン注入層112内に潜在的に存在する多数の微小な空洞が凝集することが知られている。このような層は、例えば、微小空洞層(micro-cavity layer)と呼ばれる。この分離工程において熱処理を採用することにより、結合基板330を薄化用分離層としてのヘテロエピタキシャル成長層222ではなくて移送用分離層としての水素イオン注入層112において分離することができる。

【0150】なお、上記の熱処理に代えて、水素イオン注入層112に流体の圧力を作用させる方法(例えば、水素イオン注入層112に流体を打ち込む方法、水素イオン注入層112に流体の静圧を印加する方法等)、水素イオン注入層112に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、水素イオン注入層112に対して平行に剪断応力を加える方法(例えば、結合界面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など)、結合界面に対して垂直な方向に加圧する方法、水素イオン注入層112に超音波などの波動エネルギーを印加する方法、水素イオン注入層112に対して結合基板の側面側から結合界面に平行に剥離用部材(例えばナイフのような鋭利なブレード)を挿入する方法なども採用し得る。

【0151】STEP307は、分離後の第1の基板310'の単結晶Si基板11上に水素イオン注入層112aが残留する場合において必要に応じて実施される工

程である。この工程では、残留水素イオン注入層112aをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶Si基板11は、第1の基板としての単結晶シリコン基板11、又は第2の基板としての単結晶シリコン基板21として利用され得る。

【0152】STEP308は、分離後の第2の基板320'上に水素イオン注入層112bが残留する場合において必要に応じて実施される工程である。この工程では、残留水素イオン注入層112bをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして半導体基板340が製造される。半導体基板340は、回路素子を形成した後に薄化用分離層222において分離することにより容易に薄化されうる薄化対応基板である。

【0153】STEP309では、半導体基板340に回路素子を作り込む。簡単に説明すると、この工程は、例えば、半導体基板340上に素子分離領域と活性領域とを形成し、活性領域にトランジスタ等の回路素子や配線を含む集積回路41を形成する工程を含む。この工程のより詳細な具体例については後述する。

【0154】STEP310では、集積回路41が形成された半導体基板350を機械的強度が脆弱な薄化用分離層としての薄化用分離層としてのヘテロエピタキシャル成長層222において分離する。これにより、半導体基板350が薄化される。薄化後の半導体基板351の厚さは、厚さ調整層23の厚さに依存する。すなわち、最終的な半導体基板において要求される厚さを考慮して、STEP304において厚さ調整層23の厚さを調整すればよい。

【0155】半導体基板の分離方法としては、例えば、ヘテロエピタキシャル成長層222に流体の圧力を作用させる方法(例えば、ヘテロエピタキシャル成長層222に流体を打ち込む方法、ヘテロエピタキシャル成長層222に流体の静圧を印加する方法等)、ヘテロエピタキシャル成長層222に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、ヘテロエピタキシャル成長層222に対して平行に剪断応力を加える方法(例えば、結合界面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など)、結合界面に対して垂直な方向に加圧する方法、ヘテロエピタキシャル成長層222に対して結合基板の側面側から結合界面に平行に剥離用部材(例えばナイフ

のような鋭利なブレード)を挿入する方法などがある。

【0156】STEP311は、薄化後の半導体基板351にヘテロエピタキシャル成長層222aが残留している場合において必要に応じて実施される工程である。この工程では、残留ヘテロエピタキシャル成長層222aをエッチング、研磨、研削等により除去する。

【0157】STEP312は、分離後の第2の基板としての単結晶Si基板21上にヘテロエピタキシャル成長層222bが残留する場合において必要に応じて実施される工程である。この工程では、残留ヘテロエピタキシャル成長層222bをエッチング、研磨、研削等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶Si基板21は、第1の基板としての単結晶シリコン基板11、又は第2の基板としての単結晶シリコン基板21として利用され得る。

【0158】[第5の実施の形態] この実施の形態は、移設用分離層及び薄化用分離層の双方をヘテロエピタキシャル成長層としたものである。

【0159】図5A及び図5Bは、本発明の第5の実施の形態の半導体装置の製造方法を模式的に示す図である。

【0160】まず、STEP401では、第1の基板(prime wafer又はseed wafer) 或いは部材として単結晶Si基板11を準備して、その主表面上に移設用分離層としてのヘテロエピタキシャル成長層412を形成する。

【0161】次いで、STEP402では、ヘテロエピタキシャル成長層412上に単結晶Si層等の半導体層413を形成し、その上に絶縁層(例えば、SiO₂層)14を形成する。これにより、移設用分離層としてのヘテロエピタキシャル成長層412の上に半導体層413を有し、その上に絶縁層14を有する第1の基板410が得られる。

【0162】以上の工程と並行して、STEP403及び404が実施される。STEP403では、第2の基板(支持基板、handle wafer) 或いは部材としての単結晶Si基板21を準備して、その主表面上に薄化用分離層としてのヘテロエピタキシャル成長層422を形成する。薄化用分離層422は、移設用分離層412よりも機械的強度が強い。これは、例えば、薄化用分離層422の格子定数とその下地の基板21の格子定数との差を、移設用分離層412の格子定数とその下地の基板11の格子定数との差よりも小さくすることにより実現されうる。また、これは、薄化用分離層422に加わる応力を移設用分離層412に加わる応力よりも小さくすることにより実現されうる。ここで、移設用分離層412及び薄化用分離層422としてのヘテロエピタキシャル層としては、例えば、下地の基板がシリコン基板である

場合、SiGe層、SiCが好適であるが、GaN、GaAs等でもよい。

【0163】第2の基板は、単結晶Si基板に限定されず、例えばサファイヤ基板であってもよい。すなわち、第2の基板は、移設用分離部を形成することができる部材であれば何でもよい。

【0164】次いで、STEP405では、STEP402を経て得られた第1の基板410とSTEP404を経て得られた第2の基板420とを、絶縁層14を挟むようにして、室温で結合(bonding)させて結合基板430を作成する。

【0165】なお、絶縁層14は、上記のように単結晶Si層13側に形成しても良いし、第2の基板420上に形成しても良く、両者に形成しても良く、結果として、第1の基板と第2の基板を結合させた際に、図4Aに示す状態になれば良い。しかしながら、上記のように、絶縁層14を活性層となる半導体層(例えば、単結晶Si層)13側に形成することにより、第1の基板410と第2の基板420との接合界面を活性層から遠ざけることができるため、より高品位のSOI基板等の半導体基板を得ることができる。

【0166】ここで、基板410と基板420とを結合させた後に、両者の結合を強固にする処理を実施することが好ましい。この処理の一例としては、例えば、1) N₂ 雰囲気、1100℃、10minの条件で熱処理を実施し、2) O₂/H₂ 雰囲気、1100℃、50～100minの条件で熱処理(酸化処理)を実施する処理が好適である。この処理に加えて、或いは、この処理に代えて、陽極接合処理及び/又は加圧処理を実施してもよい。

【0167】次いで、STEP406では、結合基板430を機械的強度が脆弱な移設用分離層としてのヘテロエピタキシャル成長層412において分離する。ここで、結合基板の分離方法としては、例えば、ヘテロエピタキシャル成長層412に流体の圧力を作用させる方法(例えば、ヘテロエピタキシャル成長層412に流体を打ち込む方法、ヘテロエピタキシャル成長層412に流体の静圧を印加する方法等)、ヘテロエピタキシャル成長層412に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、ヘテロエピタキシャル成長層412に対して平行に剪断応力を加える方法(例えば、結合界面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など)、結合界面に対して垂直な方向に加圧する方法、ヘテロエピタキシャル成長層412に対して結合基板の側面側から結合界面に平行に剥離用部材(例えばナイフのような鋭利なブレード)を挿入する方法などがある。

【0168】STEP407は、分離後の第1の基板410'の単結晶Si基板11上にヘテロエピタキシャル

成長層412aが残留する場合において必要に応じて実施される工程である。この工程では、残留ヘテロエピタキシャル成長層412aをエッチング、研磨、研削等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶Si基板11は、第1の基板としての単結晶シリコン基板11、又は第2の基板としての単結晶シリコン基板21として利用され得る。

【0169】STEP408は、分離後の第2の基板420'上にヘテロエピタキシャル成長層412bが残留する場合において必要に応じて実施される工程である。この工程では、残留ヘテロエピタキシャル成長層412bをエッチング、研磨、研削等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして半導体基板440が製造される。半導体基板440は、回路素子を形成した後に薄化用分離層422において分離することにより容易に薄化される薄化対応基板である。

【0170】STEP409では、半導体基板440に回路素子を作り込む。簡単に説明すると、この工程は、例えば、半導体基板440上に素子分離領域と活性領域とを形成し、活性領域にトランジスタ等の回路素子や配線を含む集積回路41を形成する工程を含む。この工程のより詳細な具体例については後述する。

【0171】STEP410では、集積回路41が形成された半導体基板450を機械的強度が脆弱な薄化用分離層としてのヘテロエピタキシャル成長層422において分離する。これにより、半導体基板450が薄化される。薄化後の半導体基板451の厚さは、厚さ調整層23の厚さに依存する。すなわち、最終的な半導体基板において要求される厚さを考慮して、STEP404において厚さ調整層23の厚さを調整すればよい。

【0172】半導体基板の分離方法としては、例えば、ヘテロエピタキシャル成長層422に流体の圧力を作用させる方法（例えば、ヘテロエピタキシャル成長層422に流体を打ち込む方法、ヘテロエピタキシャル成長層422に流体の静圧を印加する方法等）、ヘテロエピタキシャル成長層422に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、ヘテロエピタキシャル成長層422に対して平行に剪断応力を加える方法（例えば、結合面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など）、結合界面に対して垂直な方向に加圧する方法、ヘテロエピタキシャル成長層422に対して結合基板の側面側から結合界面に平行に剥離用部材（例えばナイフのような鋭利なブレード）を挿入する方法などがある。

【0173】STEP411は、薄化後の半導体基板4

51にヘテロエピタキシャル成長層222aが残留している場合において必要に応じて実施される工程である。この工程では、残留ヘテロエピタキシャル成長層422aをエッチング、研磨、研削等により除去する。

【0174】STEP412は、分離後の第2の基板としての単結晶Si基板21上にヘテロエピタキシャル成長層422bが残留する場合において必要に応じて実施される工程である。この工程では、残留ヘテロエピタキシャル成長層422bをエッチング、研磨、研削等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶Si基板21は、第1の基板としての単結晶シリコン基板11、又は第2の基板としての単結晶シリコン基板21として利用され得る。

【0175】[第6の実施の形態] この実施の形態では、移設用分離層を水素イオン注入層として、薄化用分離部（分離層の代わり）を第1の基板と第2の基板との結合界面としたものである。

【0176】図6A及び図6Bは、本発明の第6の実施の形態の半導体装置の製造方法を模式的に示す図である。

【0177】まず、STEP501では、第1の基板（prime wafer又はseed wafer）或いは部材として単結晶Si基板11を準備して、その主表面上に絶縁層（例えば、SiO₂層）14を形成する。

【0178】次いで、STEP502では、絶縁層14が形成された単結晶Si基板11の所定深さに水素イオンを注入することにより、水素イオン注入層112を形成する。この水素イオン注入層112は、移設用分離層として機能する。この工程により、絶縁層14と水素イオン注入層112との間には、半導体層としての単結晶Si層113が残る。

【0179】ここで、水素イオンに代えて、窒素や希ガスイオンを注入してもよい。イオン注入法としては、例えば、プラズマ浸漬イオン注入法（例えば、国際公開番号WO98/52216号公報に記載されている）を採用することができる。

【0180】なお、STEP501において、絶縁層14の形成に先立って、単結晶Si層、多結晶Si層、非晶質Si層等のSi層、Ge層、SiGe層、SiC層、C層、GaAs層、GaN層、AlGaAs層、InGaAs層、InP層、InAs層、SiGe層／歪みSi層等を形成しておくことにより、それを半導体層14とすることもできる。

【0181】次いで、STEP503では、STEP502を経て得られた第1の基板510と、第2の基板21とを、絶縁層14を挟むようにして、室温で結合(bonding)させて結合基板530を作成する。この後、結合を強固にするための処理を施してもよい。

【0182】次いで、STEP504では、結合基板530を機械的強度が脆弱な移設用分離層としての水素イオン注入層112において分離する。ここで、結合基板の分離方法としては、例えば、熱処理が最も好ましい。熱処理を施すことにより、イオン注入層112内に潜在的に存在する多数の微小な空洞が凝集することが知られている。このような層は、例えば、微小空洞層(micro-cavity layer)と呼ばれる。

【0183】なお、上記の熱処理に代えて、水素イオン注入層112に流体の圧力を作用させる方法（例えば、水素イオン注入層112に流体を打ち込む方法、水素イオン注入層112に流体の静圧を印加する方法等）、水素イオン注入層112に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、水素イオン注入層112に対して平行に剪断応力を加える方法（例えば、結合界面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など）、結合界面に対して垂直な方向に加圧する方法、水素イオン注入層112に超音波などの波動エネルギーを印加する方法、水素イオン注入層112に対して結合基板の側面側から結合界面に平行に剥離用部材（例えばナイフのような鋭利なブレード）を挿入する方法なども採用し得る。

【0184】STEP504は、分離後の第1の基板510'の単結晶Si基板11上に水素イオン注入層112aが残留する場合において必要に応じて実施される工程である。この工程では、残留水素イオン注入層112aをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶Si基板11は、第1の基板としての単結晶シリコン基板11、又は第2の基板としての単結晶シリコン基板21として利用され得る。

【0185】STEP506は、分離後の第2の基板520'上に水素イオン注入層112bが残留する場合において必要に応じて実施される工程である。この工程では、残留水素イオン注入層112bをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして半導体基板540が製造される。半導体基板540は、回路素子を形成した後に薄化用分離層122において分離することにより容易に薄化されうる薄化対応基板である。

【0186】STEP507では、半導体基板540に回路素子を作り込む。簡単に説明すると、この工程は、

例えば、半導体基板40上に素子分離領域と活性領域とを形成し、活性領域にトランジスタ等の回路素子や配線を含む集積回路41を形成する工程を含む。この工程のより詳細な具体例については後述する。

【0187】STEP508では、集積回路41が形成された半導体基板550を機械的強度が脆弱な薄化用分離部としての第1の基板と第2の基板との結合界面590において分離する。これにより、半導体基板550が薄化される。

【0188】半導体基板の分離方法としては、例えば、結合界面590に流体の圧力を作用させる方法（例えば、結合界面590に流体を打ち込む方法、結合界面590に流体の静圧を印加する方法等）、結合界面590に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、結合界面590に対して平行に剪断応力を加える方法（例えば、結合界面590に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など）、結合界面590に対して垂直な方向に加圧する方法、結合界面590に対して結合基板の側面側から結合界面に平行に剥離用部材（例えばナイフのような鋭利なブレード）を挿入する方法などがある。

【0189】STEP508は、薄化後の半導体基板551の裏面（分離面）が荒れている場合において必要に応じて実施される工程である。この工程では、半導体基板551の裏面をエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により平坦化する。

【0190】STEP510は、分離後の第2の基板としての単結晶Si基板21の表面が荒れている場合において必要に応じて実施される工程である。この工程では、単結晶Si基板21の表面をエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により平坦化する。このようにして得られる単結晶Si基板21は、第1の基板としての単結晶シリコン基板11、又は第2の基板としての単結晶シリコン基板21として利用され得る。

【0191】[第7の実施の形態] この実施の形態は、移設用分離層を水素イオン注入層として、薄化用分離層を高濃度ドーパ層としたものである。

【0192】図7A及び図7Bは、本発明の第7の実施の形態の半導体装置の製造方法を模式的に示す図である。

【0193】まず、STEP601及び602では、第1の実施の形態と同様にして、移設用分離層12の上、移設層としての、半導体層13及び絶縁層14を有する第1の基板或いは部材610を作製する。

【0194】STEP603では、第2の基板(支持基板、handle wafer))或いは部材としての単結晶Si基板21を準備して、それに不純物を高濃度にドーパし

て、薄化用の分離層としての高濃度ドーパ層622を形成する。不純物としては、アンチモン、砒素、ホウ素等を採用することができるが、この中でも、回路素子を形成する工程すなわちデバイスプロセス(STEP609)における熱処理による濃度の低下が小さい物質であるアンチモンや砒素が好ましい。アンチモンを採用する場合は、ドーパ濃度としては、例えば $1 \times 10^{19} / \text{cm}^3$ 程度が必要である。高濃度ドーパ層622は、回路素子が形成された半導体基板を薄化する工程で利用される移設用分離層であり、移設用分離層12よりも機械的強度が強い。

【0195】高濃度ドーパ層の形成は、エピタキシャル成長法において、かかる不純物を高濃度に添加することによっても良いし、熱処理雰囲気中に不純物を含むガスを添加することによる気相からの拡散や、不純物を含む固体を表面に密着させて熱処理して、第2の基板に拡散させる固相拡散法によっても良い。

【0196】STEP604では、高濃度ドーパ層622(単結晶Si基板21)上に、回路素子が形成された最終的な基板又はチップの厚さを任意の厚さにするための厚さ調整層23を形成する。これにより、薄化用分離層522上に厚さ調整層23を有する第2の基板620が得られる。厚さ調整層23としては、例えば単結晶シリコン等のシリコン層が好適であるが、他の材料で構成された層であってもよい。

【0197】第2の基板は、単結晶Si基板に限定されず、例えばサファイヤ基板や多結晶Si基板などであってもよい。すなわち、第2の基板は、移設用分離部を形成することができる部材であれば何でもよい。

【0198】次いで、STEP605では、STEP602を経て得られた第1の基板610とSTEP604を経て得られた第2の基板620とを、絶縁層14を挟むようにして、室温で結合(bonding)させて結合基板630を作成する。

【0199】なお、絶縁層14は、上記のように単結晶Si層13側に形成しても良いし、第2の基板620上に形成しても良く、両者に形成しても良く、結果として、第1の基板と第2の基板を結合させた際に、図6Aに示す状態になれば良い。しかしながら、上記のように、絶縁層14を活性層となる半導体層(例えば、単結晶Si層)13側に形成することにより、第1の基板610と第2の基板620との接合界面を活性層から遠ざけることができるため、より高品位のSOI基板等の半導体基板を得ることができる。

【0200】ここで、基板610と基板620とを結合させた後に、両者の結合を強固にする処理を実施することが好ましい。この処理の一例としては、例えば、1) N_2 雰囲気、 1100°C 、 10min の条件で熱処理を実施し、2) O_2 / H_2 雰囲気、 1100°C 、 $50 \sim 100\text{min}$ の条件で熱処理(酸化処理)を実施する処理

が好適である。この処理に加えて、或いは、この処理に代えて、陽極接合処理及び／又は加圧処理を実施してもよい。

【0201】次いで、STEP606では、結合基板630を機械的強度が脆弱な移設用分離層としての多孔質層12において分離する。ここで、結合基板の分離方法としては、例えば、多孔質層12に流体の圧力を作用させる方法(例えば、多孔質層12に流体を打ち込む方法、多孔質層12に流体の静圧を印加する方法等)、多孔質層12に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、多孔質層12に対して平行に剪断応力を加える方法(例えば、結合界面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など)、結合界面に対して垂直な方向に加圧する方法、多孔質層12に超音波などの波動エネルギーを印加する方法、多孔質層12に対して結合基板の側面側から結合界面に平行に剥離用部材(例えばナイフのような鋭利なブレード)を挿入する方法、多孔質層12に染み込ませた物質の膨張エネルギーを利用する方法、多孔質層12を結合基板の側面から熱酸化させることにより、該多孔質層12を体積膨張させる方法、分離領域として機能する多孔質層12を結合基板の側面から選択的にエッチングして分離する方法などがある。

【0202】STEP607は、分離後の第1の基板610'の単結晶Si基板11上に多孔質層12aが残留する場合において必要に応じて実施される工程である。この工程では、残留多孔質層12aをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶Si基板11は、第1の基板としての単結晶シリコン基板11、又は第2の基板としての単結晶シリコン基板21として利用され得る。

【0203】STEP608は、分離後の第2の基板620'上に多孔質層12bが残留する場合において必要に応じて実施される工程である。この工程では、残留多孔質層12bをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして半導体基板640が製造される。半導体基板640は、回路素子を形成した後に薄化用分離層622において分離することにより容易に薄化される薄化対応基板である。

【0204】STEP609では、半導体基板640に回路素子を作り込む。簡単に説明すると、この工程は、例えば、半導体基板640上に素子分離領域と活性領域とを形成し、活性領域にトランジスタ等の回路素子や配

線を含む集積回路41を形成する工程を含む。この工程のより詳細な具体例については後述する。

【0205】STEP610では、集積回路41が形成された半導体基板650を機械的強度が脆弱な薄化用分離層としての高濃度ドーパ層622において分離する。これにより、半導体基板250が薄化される。薄化後の半導体基板651の厚さは、厚さ調整層23の厚さに依存する。すなわち、最終的な半導体基板において要求される厚さを考慮して、STEP604において厚さ調整層23の厚さを調整すればよい。

【0206】半導体基板の分離方法としては、例えば、高濃度ドーパ層622に流体の圧力を作用させる方法（例えば、高濃度ドーパ層622に流体を打ち込む方法、高濃度ドーパ層622に流体の静圧を印加する方法等）、高濃度ドーパ層622に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、高濃度ドーパ層622に対して平行に剪断応力を加える方法（例えば、結合界面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など）、結合界面に対して垂直な方向に加圧する方法、高濃度ドーパ層622に対して結合基板の側面側から結合界面に平行に剥離用部材（例えばナイフのような鋭利なブレード）を挿入する方法などがある。本分離工程は、薄化分離部に不純物が高濃度にドーパされていることによる応力集中があるため、分離のための外力が作用した際にかかる薄化分離部において優先的に分離されることによる。

【0207】STEP611は、薄化後の半導体基板51に高濃度ドーパ層622が残留している場合において必要に応じて実施される工程である。この工程では、残留高濃度ドーパ層622aをエッチング、研磨、研削等により除去する。

【0208】STEP612は、分離後の第2の基板としての単結晶Si基板21上に高濃度ドーパ層622bが残留する場合において必要に応じて実施される工程である。この工程では、残留高濃度ドーパ層622bをエッチング、研磨、研削等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶Si基板21は、第1の基板としての単結晶シリコン基板11、又は第2の基板としての単結晶シリコン基板21として利用され得る。

【0209】[第8の実施の形態]図8A乃至図8Cは、本発明の第8の実施の形態の半導体装置の製造方法を模式的に示す図である。

【0210】まず、STEP701では、第1の基板（prime wafer又はseed wafer）或いは部材として単結晶Si基板11を準備して、その主表面上に絶縁層（例

えば、SiO₂層）14を形成する。

【0211】次いで、STEP702では、絶縁層14が形成された単結晶Si基板11の所定深さに水素イオンを注入することにより、水素イオン注入層112を形成する。この水素イオン注入層112は、移設用分離層として機能する。この工程により、絶縁層14と水素イオン注入層112との間には、半導体層としての単結晶Si層113が残る。

【0212】ここで、水素イオンに代えて、窒素や希ガスイオンを注入してもよい。イオン注入法としては、例えば、プラズマ浸漬イオン注入法（例えば、国際公開番号WO98/52216号公報に記載されている）を採用することができる。

【0213】なお、STEP701において、絶縁層14の形成に先立って、単結晶Si層、多結晶Si層、非晶質Si層等のSi層、Ge層、SiGe層、SiC層、C層、GaAs層、GaN層、AlGaAs層、InGaAs層、InP層、InAs層、SiGe層／歪みSi層等を形成しておくことにより、それを半導体層14とすることもできる。

【0214】次いで、STEP703では、STEP702を経て得られた第1の基板710と、別途準備した第2の基板21とを、絶縁層14を挟むようにして、室温で結合(bonding)させて結合基板730を作成する。この後、結合を強固にするための処理を施してもよい。

【0215】次いで、STEP704では、結合基板730を機械的強度が脆弱な移設用分離層としての水素イオン注入層112において分離する。ここで、結合基板の分離方法としては、例えば、熱処理が最も好ましい。熱処理を施すことにより、イオン注入層112内に潜在的に存在する多数の微小な空洞が凝集することが知られている。このような層は、例えば、微小空洞層(micro-cavity layer)と呼ばれる。

【0216】なお、上記の熱処理に代えて、水素イオン注入層112に流体の圧力を作用させる方法（例えば、水素イオン注入層112に流体を打ち込む方法、水素イオン注入層112に流体の静圧を印加する方法等）、水素イオン注入層112に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、水素イオン注入層112に対して平行に剪断応力を加える方法（例えば、結合界面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など）、結合界面に対して垂直な方向に加圧する方法、水素イオン注入層112に超音波などの波動エネルギーを印加する方法、水素イオン注入層112に対して結合基板の側面側から結合界面に平行に剥離用部材（例えばナイフのような鋭利なブレード）を挿入する方法、分離領域として機能する多孔質層112を結合基板の側面から選択的にエッチングして分離する方法も採用し得る。

【0217】STEP705は、分離後の第1の基板710'の単結晶Si基板11上に水素イオン注入層112aが残留する場合において必要に応じて実施される工程である。この工程では、残留水素イオン注入層112aをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等から選択される少なくとも一種の方法により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶Si基板11は、第1の基板としての単結晶シリコン基板11、又は第2の基板としての単結晶シリコン基板21として利用され得る。

【0218】STEP705は、分離後の第2の基板720'上に水素イオン注入層112bが残留する場合において必要に応じて実施される工程である。この工程では、残留水素イオン注入層112bをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして半導体基板740が製造される。

【0219】STEP707では、半導体基板740に水素イオンを注入することにより、薄化用分離層としての水素イオン注入層722を形成する。水素イオン注入層722は、典型的には、単結晶Si基板21中に形成されるが、絶縁層14中、又は絶縁層14と単結晶Si基板21との界面に形成されてもよい。図8Bでは、水素イオン注入層722が単結晶Si基板21中に形成され、それにより水素イオン注入層722上に単結晶Si層21aが形成されている。

【0220】ここで、水素イオンに代えて、窒素や希ガスイオンを注入してもよい。イオン注入法としては、例えば、プラズマ浸漬イオン注入法(例えば、国際公開番号WO98/52216号公報に記載されている)を採用することができる。

【0221】このようにして形成された半導体基板750は、回路素子を形成した後に薄化用分離層722において分離することにより容易に薄化されうる薄化対応基板である。

【0222】STEP708では、半導体基板750に回路素子を作り込む。簡単に説明すると、この工程は、例えば、半導体基板750上に素子分離領域と活性領域とを形成し、活性領域にトランジスタ等の回路素子や配線を含む集積回路41を形成する工程を含む。この工程のより詳細な具体例については後述する。

【0223】STEP709では、集積回路41が形成された半導体基板760を機械的強度が脆弱な薄化用分離層としての水素イオン注入層722において分離する。これにより、半導体基板750が薄化される。ここで、結合基板の分離方法としては、例えば、熱処理が最

も好ましい。熱処理を施すことにより、イオン注入層722内に潜在的に存在する多数の微小な空洞が凝集することが知られている。このような層は、例えば、微小空洞層(micro-cavity layer)と呼ばれる。この実施の形態では、移設工程(STEP5及びSTEP6)が終了した後に薄化用分離層としての水素イオン注入層722を形成するので、移設工程中に半導体基板が薄化用分離層で分離してしまうことがない。

【0224】半導体基板の分離方法としては、その他、例えば、水素イオン注入層722に流体の圧力を作用させる方法(例えば、水素イオン注入層722に流体を打ち込む方法、水素イオン注入層722に流体の静圧を印加する方法等)、イオン注入層722に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、イオン注入層722に対して平行に剪断応力を加える方法(例えば、結合界面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など)、結合界面に対して垂直な方向に加圧する方法、水素イオン注入層722に超音波などの波動エネルギーを印加する方法、水素イオン注入層722に対して結合基板の側面側から結合界面に平行に剥離用部材(例えばナイフのような鋭利なブレード)を挿入する方法などがある。

【0225】STEP710は、薄化後の半導体基板761の裏面に水素イオン注入層722aが残留している場合において必要に応じて実施される工程である。この工程では、残留水素イオン注入層722aをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。

【0226】STEP711は、分離後の第2の基板としての単結晶Si基板21上に水素イオン注入層722bが残留する場合において必要に応じて実施される工程である。この工程では、残留水素イオン注入層722bをエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。このようにして得られる単結晶Si基板21は、第1の基板としての単結晶シリコン基板11、又は第2の基板としての単結晶シリコン基板21として利用され得る。

【0227】[第9の実施の形態]この実施の形態では、SIMOX法によって形成された半導体基板を準備し、該半導体基板に水素等のイオンを注入することにより薄化用分離層としてのイオン注入層を形成し、その後、該半導体基板に回路素子を作り込み、その後、該半導体基板を薄化用分離層としてのイオン注入層において分離する。

【0228】なお、SIMOX法によって形成される半導体基板は、第8の実施の形態において説明した半導体

基板740とはほぼ類似の構成を有する。すなわち、SIMOX法によっても、絶縁層14上に単結晶Si層113を有する半導体基板が得られる。ただし、SIMOX法によって形成されるSOI基板は、2枚の基板を結合させた後に分離してSOI基板を得る結合法（貼り合わせ法）によって形成されるSOI基板よりも、埋め込み絶縁膜の品質が悪いことが知られている。

【0229】また、SIMOX基板に代えて、他のSOI基板を採用しても良い。

【0230】この実施の形態の具体的な手順は、図8B及び図8CのSTEP706～STEP710に示す通りである。

【0231】[第10の実施の形態] この実施の形態では、移設層を含む第1の基板と、第2の基板とを結合させて結合基板を作製し、その後、第2の基板に該移設層が残るように、該結合基板を第1の基板側から研削する研削法によりSOI構造を有する半導体基板を作製し、該半導体基板に水素等のイオンを注入することにより薄化用分離層としてのイオン注入層を形成し、その後、該半導体基板に回路素子を作り込み、その後、該半導体基板を薄化用分離層としてのイオン注入層において分離する。

【0232】なお、研削法によって形成される半導体基板は、第8の実施の形態において説明した半導体基板740とはほぼ類似の構成を有する。すなわち、研削法によっても、絶縁層14上に単結晶Si層113を有する半導体基板が得られる。

【0233】この実施の形態の具体的な手順は、図8B及び図8CのSTEP706～STEP710に示す通りである。

【0234】[デバイス工程の具体例] 以下、上記のSTEP9等におけるデバイス工程の具体例を説明する。

【0235】図9は、本発明の好適な実施の形態に係るデバイス工程を示す図である。まず、薄化用分離層を有する半導体基板を準備する。図9は、半導体基板として図1Bに示す半導体基板を準備した例である。

【0236】まず、埋め込み絶縁膜14上の半導体層（SOI層）13を島状にパタニングする方法、又は、LOCOSと呼ばれる酸化法等により、トランジスタを形成すべき活性領域13'及び素子分離領域54を形成する（図9（a）参照）。

【0237】次いで、SOI層の表面にゲート絶縁膜56を形成する（図9（a）参照）。ゲート絶縁膜56の材料としては、例えば、酸化シリコン、窒化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化チタン、酸化スカンジウム、酸化イットリウム、酸化ガドリニウム、酸化ランタン、酸化ジルコニウム、及びこれらの混合物ガラス等が好適である。ゲート酸化膜56は、例えば、SOI層の表面を酸化させたり、CVD法又はPVD法によりSOI層の表

面に該当する物質を堆積させたりすることにより形成され得る。

【0238】次いで、ゲート絶縁膜56上にゲート電極55を形成する（図9（a）参照）。ゲート電極55は、例えば、P型又はN型不純物がドーパされた多結晶シリコンや、タングステン、モリブデン、チタン、タンタル、アルミニウム、銅などの金属又はこれらの少なくとも1種を含む合金や、モリブデンシリサイド、タングステンシリサイド、コバルトシリサイドなどの金属珪化物や、チタンナイトライド、タングステンナイトライド、タンタルナイトライドなどの金属窒化物などで構成され得る。ゲート絶縁膜56は、例えばポリサイドゲートのように、互いに異なる材料からなる複数の層を積層して形成されてもよい。ゲート電極55は、例えば、サリサイド（セルフアラインシリサイド）と呼ばれる方法で形成されてもよいし、ダマシングゲートプロセスと呼ばれる方法で形成してもよいし、他の方法で形成してもよい。以上の工程により図9（a）に示す構造体を得られる。

【0239】次いで、燐、砒素、アンチモンなどのN型不純物又はボロンなどのP型不純物を活性領域13'に導入することにより、比較的低濃度のソース、ドレイン領域58を形成する（図9（b）参照）。不純物は、例えば、イオン打ち込み及び熱処理などにより導入することができる。

【0240】次いで、ゲート電極55を覆うようにして絶縁膜を形成した後に、これをエッチバックすることにより、ゲート電極59の側部にサイドウォール59を形成する。

【0241】次いで、再び上記と同一の導電型の不純物を活性領域13'に導入し、比較的高濃度のソース、ドレイン領域57を形成する。以上の工程により図9（b）に示す構造体を得られる。

【0242】次いで、ゲート電極55の上面並びにソース及びドレイン領域57の上面に金属珪化物層60を形成する。金属珪化物層60の材料としては、例えば、ニッケルシリサイド、チタンシリサイド、コバルトシリサイド、モリブデンシリサイド、タングステンシリサイドなどが好適である。これらの珪化物は、ゲート電極55の上面並びにソース及びドレイン領域57の上面を覆うように金属を堆積させて、その後、熱処理を施すことによって、該金属とその下部のシリコンとを反応させた後に、該金属のうち未反応部分を硫酸などのエッチャントで除去することによって形成することができる。ここで、必要に応じて、珪化物層の表面を窒化させてもよい。以上の工程により図9（c）に示す構造体を得られる。

【0243】次いで、シリサイド化したゲート電極の上面並びにソース及びドレイン領域の上面を覆うように絶縁膜61を形成する（図9（d）参照）。絶縁膜61の

材料としては、燐及び／又はボロンを含む酸化シリコンなどが好適である。

【0244】次いで、必要に応じて、CMP法により絶縁膜61にコンタクトホールを形成する。KrFエキシマレーザ、ArFエキシマレーザ、F₂エキシマレーザ、電子ビーム、X線等を利用したフォトリソグラフィ技術を適用すると、一辺が0.25ミクロン未満の矩形のコンタクトホール、又は、直径が0.25ミクロン未満の円形のコンタクトホールを形成することができる。

【0245】次いで、コンタクトホール内に導電体を充填する。導電体の充填方法としては、バリアメタル62となる高融点金属やその窒化物の膜をコンタクトホールの内壁に形成した後に、タングステン合金、アルミニウム、アルミニウム合金、銅、銅合金などの導電体63を、CVD法、PVD法、めっき法などを利用して堆積させる方法が好適である。ここで、絶縁膜61の上面よりも高く堆積した導電体をエッチバック法やCMP法により除去してもよい。また、導電体の充填に先立って、コンタクトホールの底部に露出したソース及びドレイン領域の珪化物層の表面を窒化させてもよい。以上の工程によりSOI層にFET等のトランジスタを作り込むことができ、図9(d)に示す構造のトランジスタを有する半導体装置が得られる。

【0246】ここで、ゲート電極に電圧を印加してゲート絶縁膜下に広がる空乏層が埋め込み絶縁膜14の上面に届くように活性層(SOI層)13の厚さ及び不純物濃度を定めると、形成されたトランジスタは、完全空乏型トランジスタとして動作する。また、空乏層が埋め込み酸化膜14の上面に届かないように活性層(SOI層)13の厚さ及び不純物濃度を定めると、形成されたトランジスタは、部分空乏型トランジスタとして動作する。

【0247】

【発明の効果】本発明によれば、回路素子が形成された半導体層を絶縁層の上に有する任意の厚さの半導体部材(特に、薄い半導体部材)を製造することができる。

【図面の簡単な説明】

【図1A】、

【図1B】本発明の第1の実施の形態の半導体装置の製造方法を模式的に示す図である。

【図2A】、

【図2B】本発明の第2の実施の形態の半導体装置の製造方法を模式的に示す図である。

【図3A】、

【図3B】本発明の第3の実施の形態の半導体装置の製造方法を模式的に示す図である。

【図4A】、

【図4B】本発明の第4の実施の形態の半導体装置の製造方法を模式的に示す図である。

【図5A】、

【図5B】本発明の第5の実施の形態の半導体装置の製造方法を模式的に示す図である。

【図6A】、

【図6B】本発明の第6の実施の形態の半導体装置の製造方法を模式的に示す図である。

【図7A】、

【図7B】本発明の第7の実施の形態の半導体装置の製造方法を模式的に示す図である。

【図8A】、

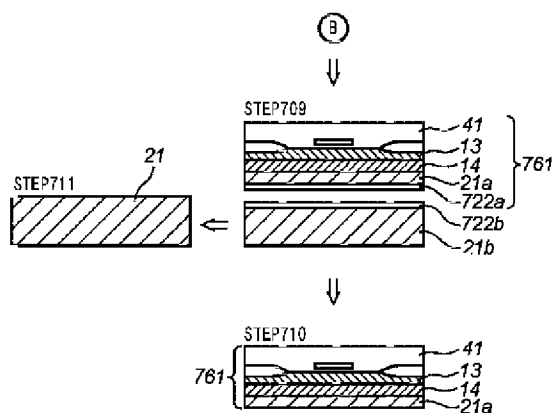
【図8B】、

【図8C】本発明の第8の実施の形態の半導体装置の製造方法を模式的に示す図である。

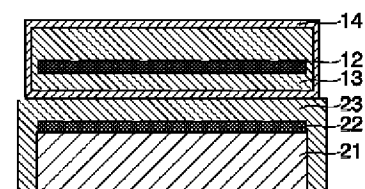
【図9】本発明の好適な実施の形態に係るデバイス工程を示す図である。

【図10】半導体装置の一製造工程における半導体部材の断面図である。

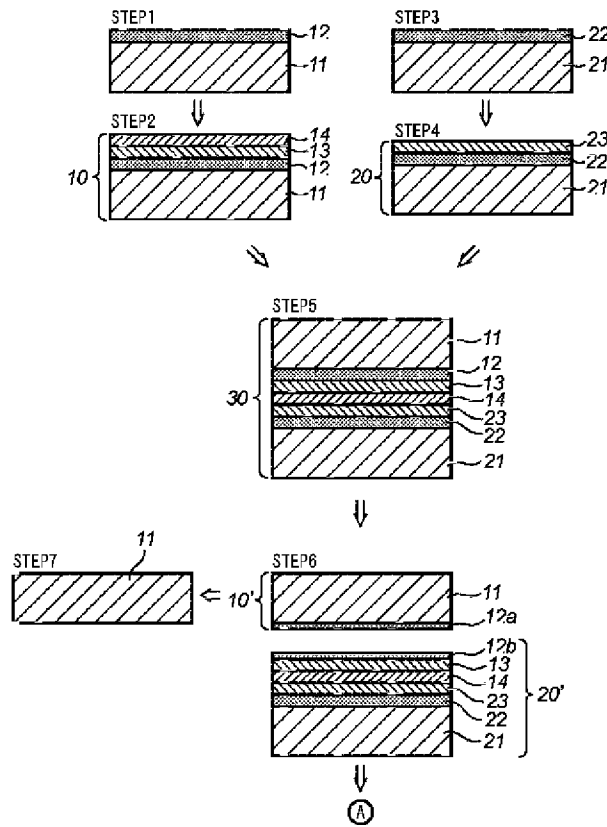
【図8C】



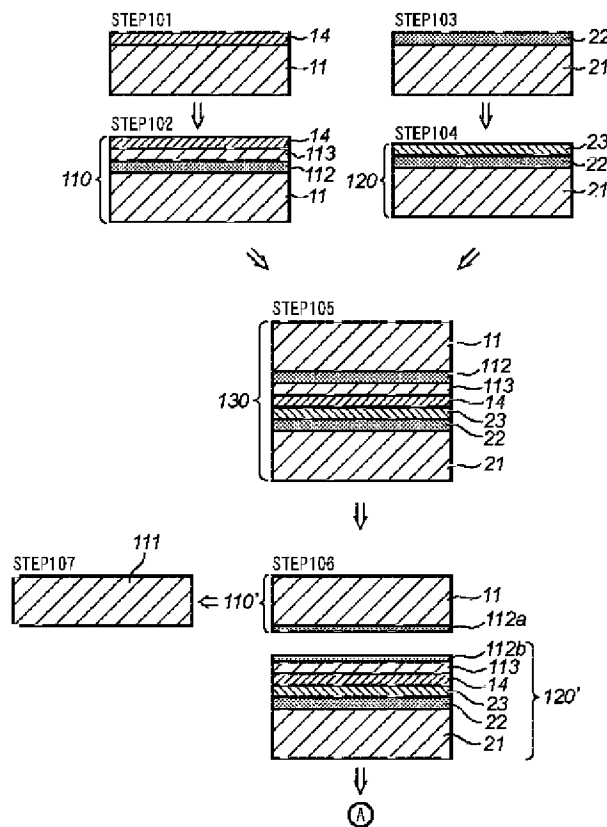
【図10】



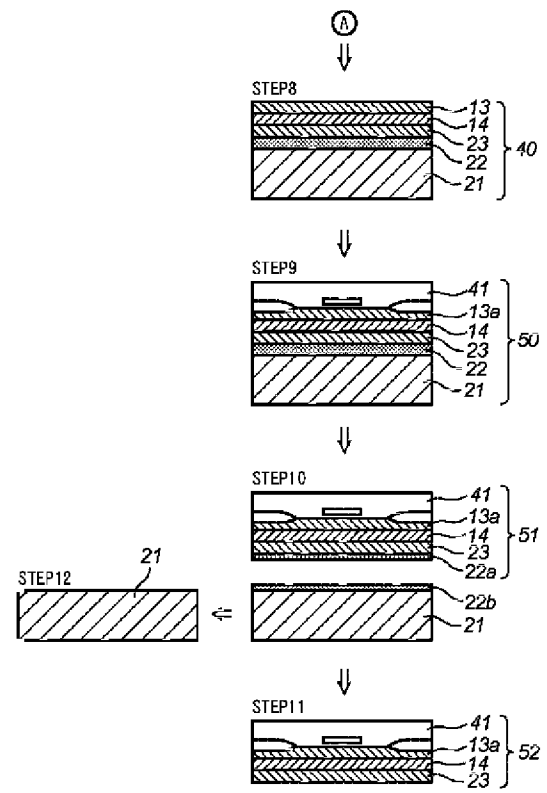
【図 1 A】



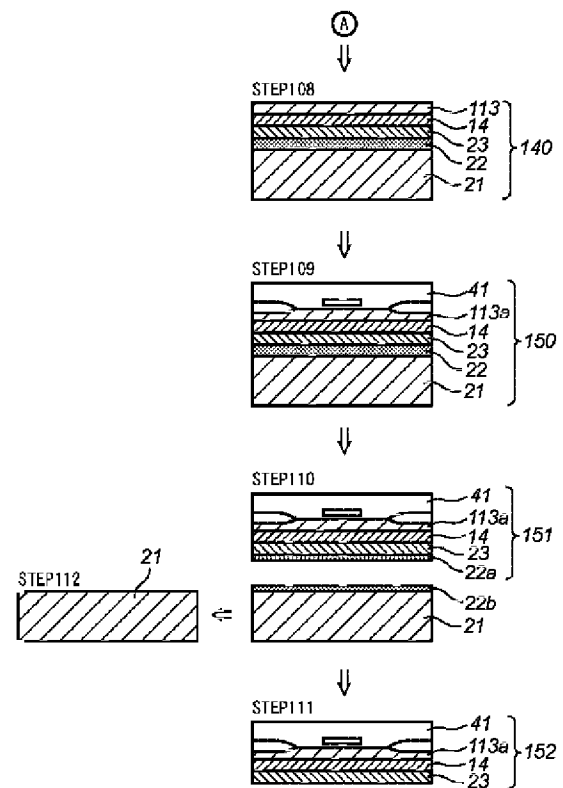
【図 2 A】



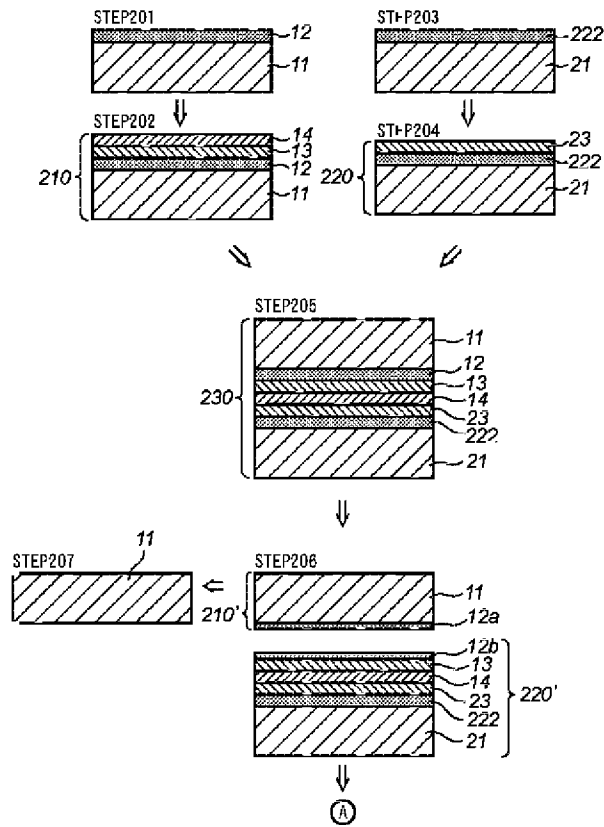
【 ㉟ 1 B 】



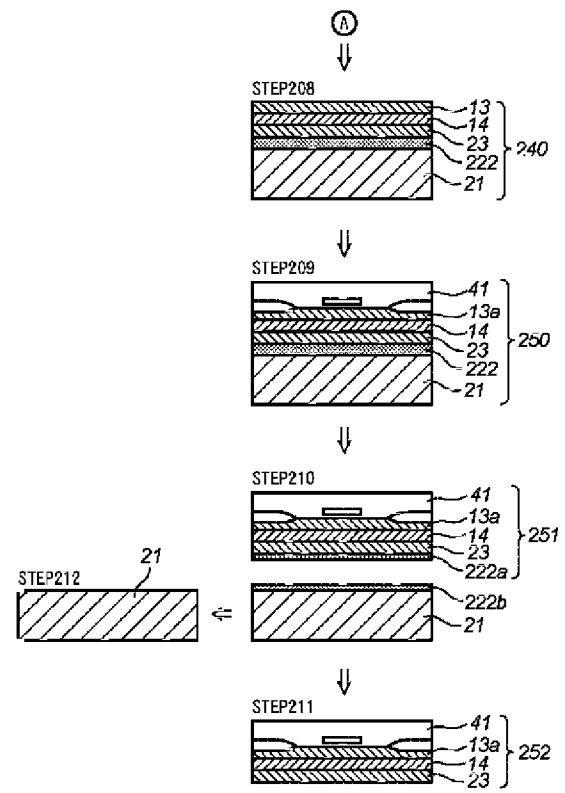
【図2B】



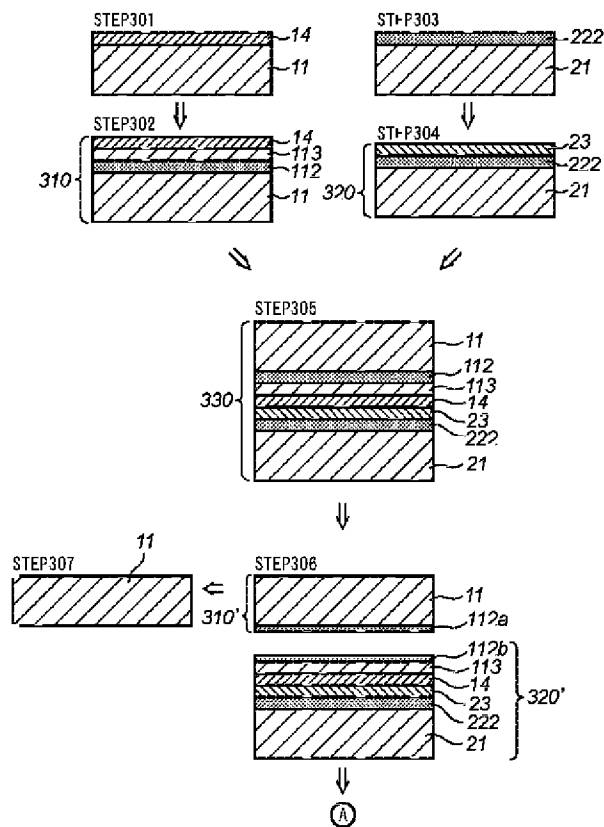
【図3A】



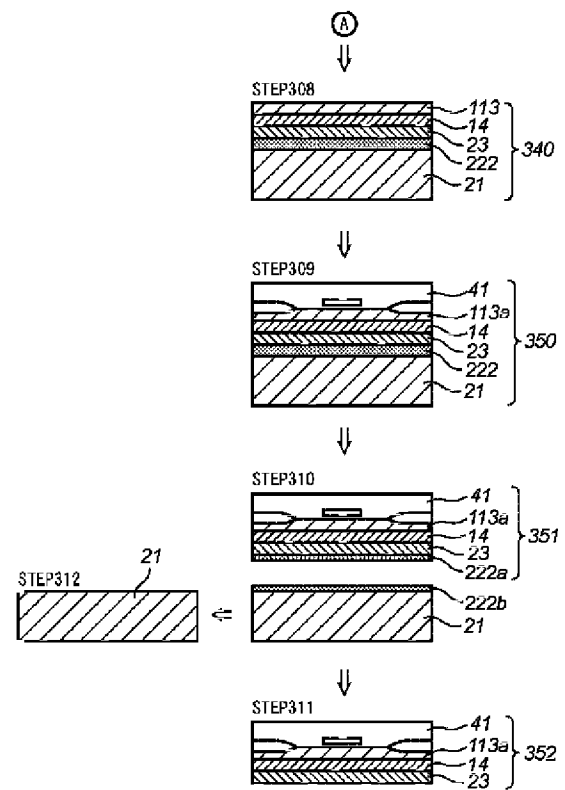
【図3B】



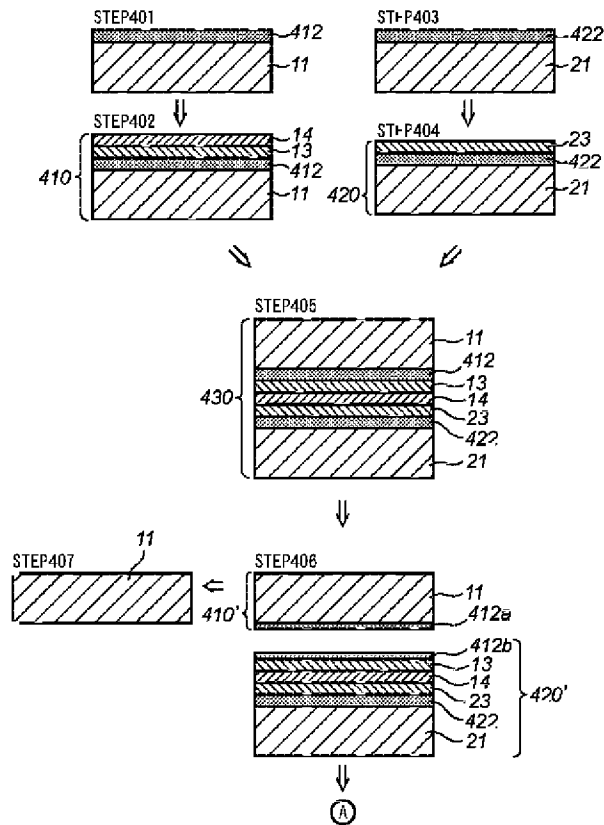
【図4A】



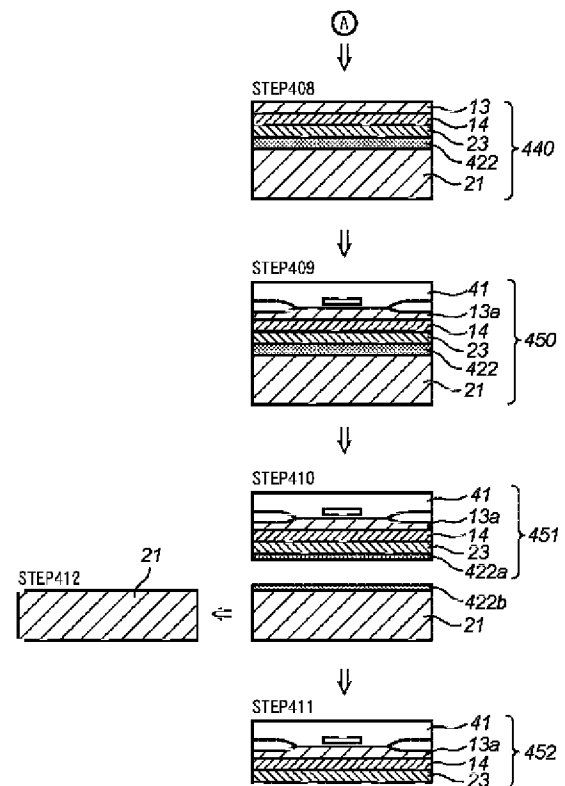
【図4B】



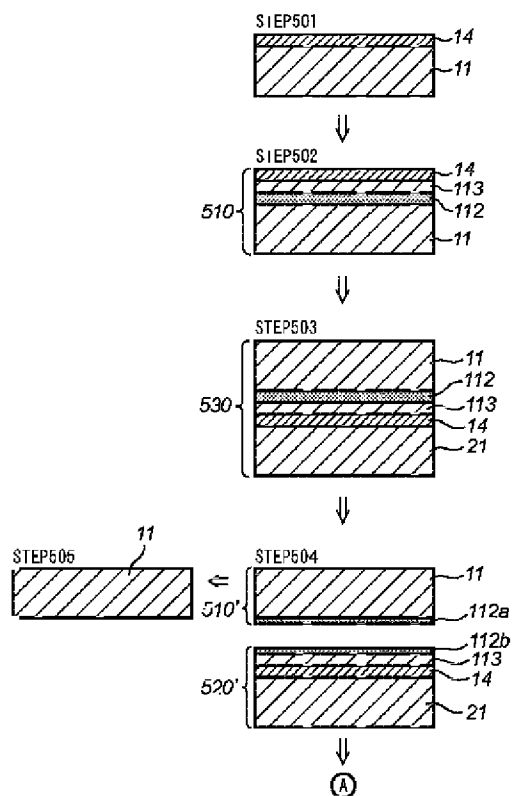
【図5A】



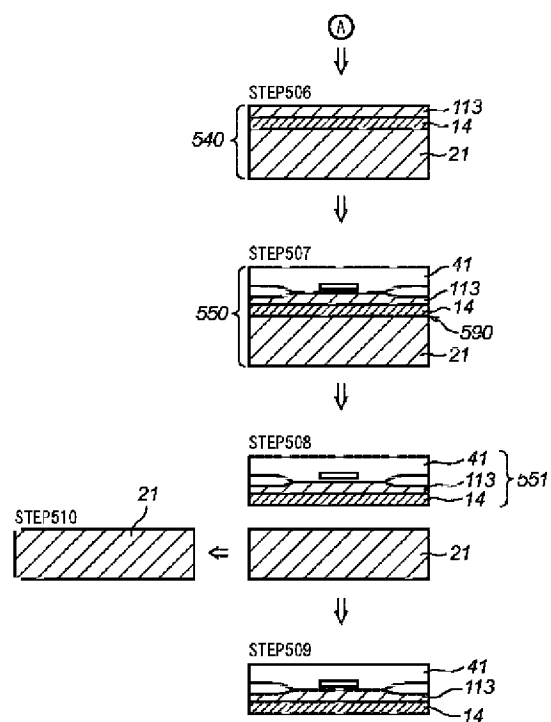
【図5B】



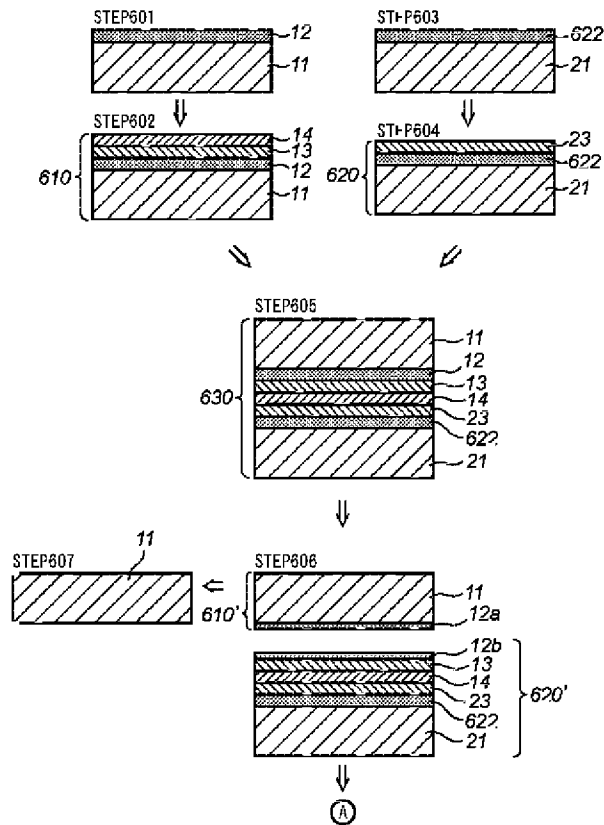
【図6A】



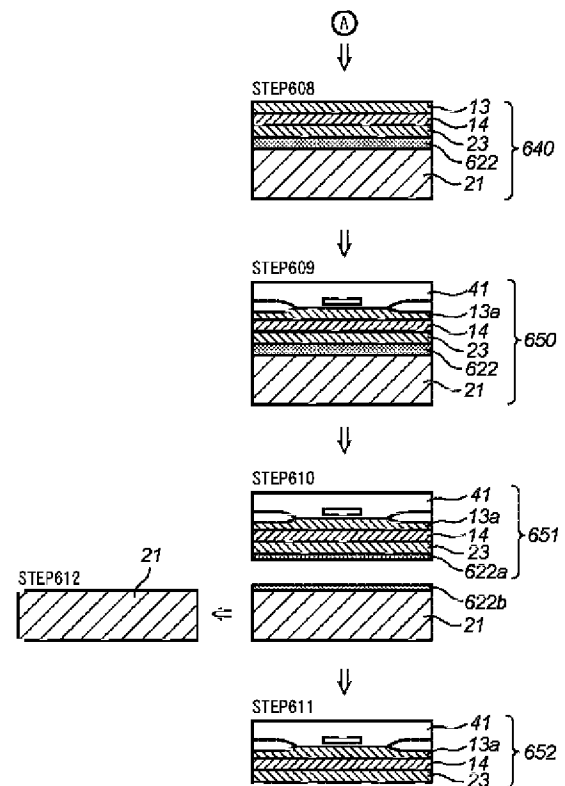
【図6B】



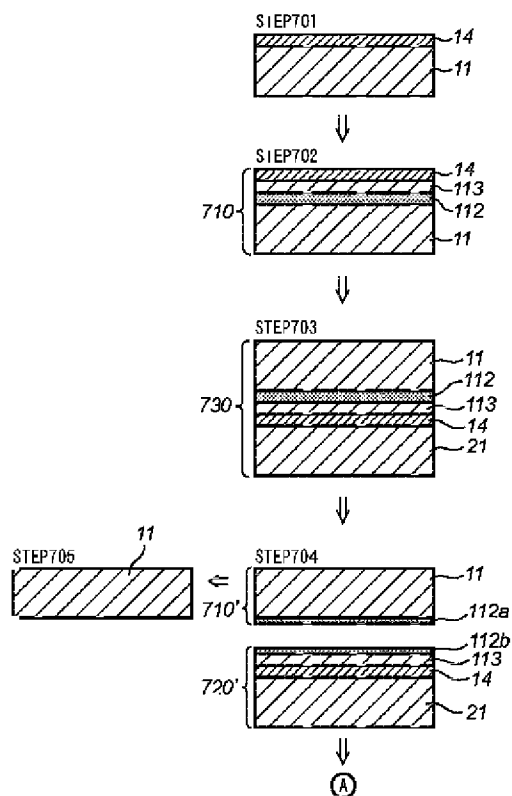
【図7A】



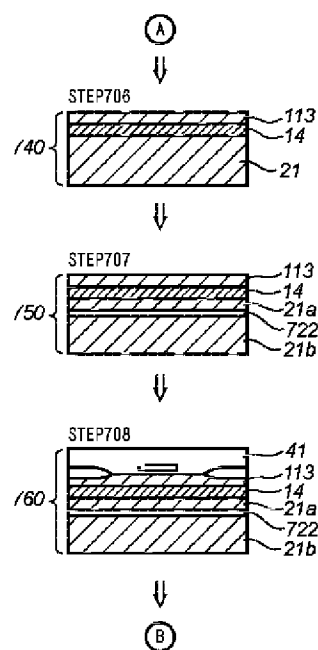
【図7B】



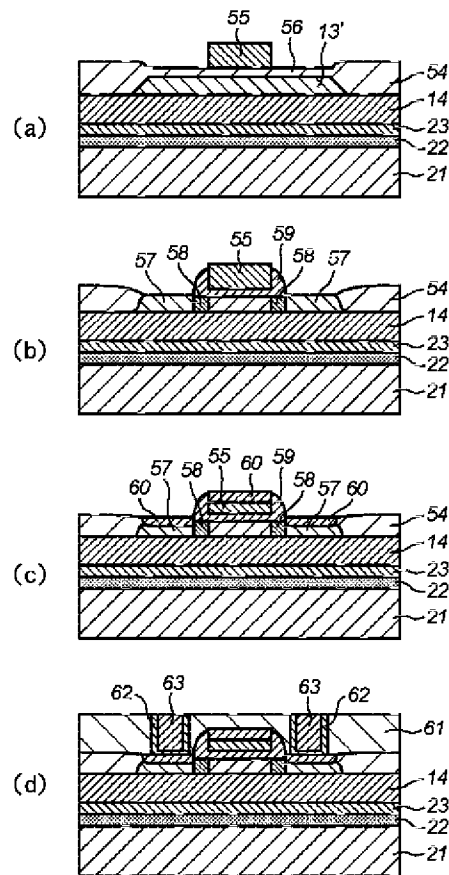
【図8A】



【図8B】



【図9】



フロントページの続き

(51)Int.Cl.⁷

識別記号

F I

(参考)

H 0 1 L 29/786

F ターム(参考) 5F032 AA06 AA07 AA13 CA05 CA06

CA07 CA17 DA12 DA13 DA21

DA22 DA33 DA45 DA47 DA60

DA67 DA71 DA74

5F052 DA01 KB04

5F110 AA30 CC02 DD04 DD05 DD13

EE01 EE02 EE03 EE04 EE05

EE06 EE09 EE14 EE31 EE48

FF01 FF02 FF03 FF04 FF09

FF27 FF29 GG01 GG02 GG03

GG04 GG12 GG13 GG15 HJ01

HJ13 HJ22 HK05 HK40 HK42

HL02 HL03 HL06 HL22 HL24

HL26 HM15 NN22 NN25 NN26

NN62 NN66 QQ03 QQ11 QQ17

QQ19